

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The semiconductor device characterized by connecting the ingredient layer which has the 2nd metal layer on the 1st metal layer and said 1st metal layer on the interlayer insulation film which consists of an organic material on the ingredient layer which has conductivity, and said interlayer insulation film, and has said conductivity at the pars basilaris ossis occipitalis of the contact hole prepared at said interlayer insulation film, and said 2nd metal layer.

[Claim 2] The semiconductor device characterized by connecting the source field of said thin film transistor or a drain field, and said 2nd metal layer with the interlayer insulation film which consists of an organic material on a thin film transistor at the pars basilaris ossis occipitalis of the contact hole prepared on the 1st metal layer and said 1st metal layer on said interlayer insulation film at the 2nd metal layer and said interlayer insulation film.

[Claim 3] It is the semiconductor device characterized by consisting of an ingredient with which said 1st metal layer uses aluminum or aluminum as a principal component in claim 1 or claim 2.

[Claim 4] It is the semiconductor device characterized by consisting of an ingredient with which said 2nd metal layer uses titanium or titanium as a principal component in claim 1 thru/or any 1 of 3.

[Claim 5] It is the semiconductor device characterized by consisting of a resin ingredient of an organic system with which said interlayer insulation film uses polyimide, polyimidoamide, a polyamide, an acrylic, or BCB (benz-cyclo-butene) as a principal component in claim 1 thru/or any 1 of 4.

[Claim 6] The semiconductor device characterized by the semiconductor device indicated by claim 1 thru/or any 1 of 5 being an active matrix liquid crystal indicating equipment, a active-matrix mold EL indicating equipment, or a active-matrix mold EC indicating equipment.

[Claim 7] The semiconductor device characterized by the semiconductor devices indicated by claim 1 thru/or any 1 of 6 being a video camera, a digital camera, a projector, a goggles mold display, car navigation, a personal computer, and a Personal Digital Assistant.

[Claim 8] The process which forms a thin film transistor on an insulating front face, and the process which forms the interlayer insulation film which covers said thin film transistor and consists of an organic material, The process which covers said interlayer insulation film and forms the 1st metal membrane, and the process which carries out patterning of said 1st metal membrane, and forms the 1st metal layer, The process which etches said interlayer insulation film by using said 1st metal layer as a mask, and forms a contact hole, The production approach of the semiconductor device characterized by having the process which covers said the 1st metal layer and said contact hole, and forms the 2nd metal membrane, and the process which forms wiring which carries out patterning of said the 1st metal layer and said 2nd metal membrane, and has a part of laminated structure.

[Claim 9] The process which forms the 1st ingredient layer which has conductivity on an insulating front face, and the process which forms the interlayer insulation film which covers said 1st ingredient layer and consists of an organic material, The process which covers said interlayer insulation film and forms the 1st metal membrane, and the process which carries out patterning of said 1st metal membrane, and forms the 1st metal layer, The process which etches said interlayer insulation film by using said 1st

metal layer as a mask, and forms a contact hole, The process which covers said the 1st metal layer and said contact hole, and forms the 2nd metal membrane, The process which covers said 2nd metal membrane, carries out patterning of the process which forms an inorganic insulator layer, and said the 1st metal layer, said 2nd metal membrane and said inorganic insulator layer, and forms in a top face wiring which has an inorganic insulating layer, The production approach of the semiconductor device which forms the 2nd ingredient layer which has conductivity in contact with said wiring top, and is characterized by having the process which forms capacity in said wiring and said 2nd ingredient layer by using said inorganic insulating layer as a dielectric.

[Claim 10] It is the production approach of the semiconductor device characterized by said inorganic insulator layer forming membranes with a CVD method in claim 9.

[Claim 11] It is the production approach of the semiconductor device characterized by said the 1st metal membrane and said 2nd metal membrane forming membranes by the sputtering method in claim 8 thru/or any 1 of 10.

---

[Translation done.]

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the configuration and the production approach of a semiconductor device. It is related with the active matrix liquid crystal display using especially a semi-conductor thin film, and its production approach. Moreover, the invention in this application can be applied to the electro-optic device possessing such a display.

[0002] In addition, in this specification, all the equipments that may function using a semi-conductor property are called a semiconductor device. Therefore, the semiconductor device indicated in the range of the above-mentioned application for patent includes not only the semiconductor device of simple substances, such as TFT, but the electrical machinery and apparatus which carried as components the semiconductor circuit, the electro-optic device, and them which were constituted from a semiconductor device. Although a thin film transistor (TFT) is typical as a semiconductor device, an insulated gate field effect transistor (IGFET), a thin-film diode, an MIM component, and a varistor component are mentioned.

[0003]

[Description of the Prior Art] In recent years, the technique which produces the semiconductor device using semiconductor devices, such as a semiconductor device (TFT), for example, a thin film transistor etc., in which the semi-conductor thin film was formed on the insulating substrate, is quickly developed. The reason is because the need of a liquid crystal display (typically active matrix liquid crystal display) has increased. An active matrix liquid crystal display controls the charge which frequents the display pixel of dozens arranged in the shape of a matrix - 1 million numbers by the switching element of a display pixel, and displays an image.

[0004] Moreover, the semiconductor device has integrated circuits, such as a active-matrix circuit formed using TFT etc., IC, ULSI, and VLSI, detailed-izing of these integrated circuits tends to be enhanced increasingly, and the processing dimension in a submicron field is demanded in recent years.

[0005] Then, the attempt which reduces the sizes (wiring width of face, channel width, diameter of a contact hole, etc.) of each part of the semiconductor device in an integrated circuit is made. The need of taking electrical installation at the pars basilaris ossis occipitalis of the small contact hole of a path with a detailed-ized technique and a multilayer-interconnection technique especially is increasing.

[0006] In the former, the insulator layers (the oxidization silicon film, silicon nitride film, etc.) formed with a CVD method as an interlayer insulation film are often used, and form the contact hole using the dry etching method or the wet etching method.

[0007] For example, when using the oxidization silicon film for the 1st interlayer insulation film of a thin film transistor, the wet etching method is used for formation of a contact hole from the point of the selection ratio of an interlayer insulation film and a semi-conductor layer, and the ease of an activity. Since the semi-conductor layer and oxidation silicon film which are using silicon as the principal component had the same configuration principal component when the dry etching method is used, the selection ratio was low and there was a problem from which the thin semi-conductor layer of

thickness is removed by coincidence.

[0008] However, when it was going to form a contact hole still minuter than before, for isotropic etching, over etching occurred unescapable and the wet etching method had barred detailed-ization. For example, when it was going to form a contact hole with a diameter of 2 micrometers, although based on thickness etc., the contact hole which has a twice [ about / more than ] as many diameter as this was formed.

[0009] This invention relates to the contact hole (typically 2-3 micrometers or less) formation approach minuter than before in the production approach of the thin film transistor in a submicron field especially.

[0010]

[Problem(s) to be Solved by the Invention] This invention uses an organic material for an interlayer insulation film, and considers it as the configuration which uses the dry etching method and forms a contact hole in the interlayer insulation film which becomes with an organic material.

[0011] Since the constituent was alike when a resist mask is conventionally used in the dry etching method, it was hard to take the selection ratio of the organic material film and a resist mask, and formation of a contact hole and formation of an especially minute contact hole were difficult. Therefore, using a resist mask for formation of the contact hole established in the interlayer insulation film which consists of an organic material was avoided.

[0012] Invention indicated on these specifications solves the above-mentioned problem, forms a minute contact hole, and makes it a technical problem to make an integrated circuit detailed.

[0013]

[Means for Solving the Problem] The configuration of this invention indicated on these specifications is a semiconductor device characterized by connecting the ingredient layer which has the 2nd metal layer on the 1st metal layer and said 1st metal layer on the interlayer insulation film which consists of an organic material on the ingredient layer which has conductivity, and said interlayer insulation film, and has said conductivity at the pars basilaris ossis occipitalis of the contact hole prepared at said interlayer insulation film, and said 2nd metal layer.

[0014] That is, the above-mentioned configuration is characterized by the ingredient layer which has said conductivity at the pars basilaris ossis occipitalis of the contact hole established in said interlayer insulation film and said 1st metal layer, and said 2nd metal layer having touched.

[0015] Furthermore, the configuration of other invention is a semiconductor device characterized by connecting the source field of said thin film transistor or a drain field, and said 2nd metal layer with the interlayer insulation film which consists of an organic material on a thin film transistor at the pars basilaris ossis occipitalis of the contact hole prepared on the 1st metal layer and said 1st metal layer on said interlayer insulation film at the 2nd metal layer and said interlayer insulation film.

[0016] That is, the above-mentioned configuration is characterized by for said 2nd metal layer 114 having touched the source field 105 of said thin film transistor at the pars basilaris ossis occipitalis of the contact hole established in the 1st interlayer insulation film 111 and said 1st metal layer 112, as shown in drawing 1, and said 2nd metal layer 115 being in contact with the drain field 106 of said thin film transistor at the pars basilaris ossis occipitalis of the contact hole established in the 1st interlayer insulation film 111 and said 1st metal layer 113.

[0017] It is possible to use the ingredient which has conductivity as the 1st metal layer in each above-mentioned configuration or 2nd metal layer. For example, the ingredient layers which use as a principal component aluminum, Ta, Ti, Cr, W, Mo, or the silicon with which conductivity was given, or those cascade screens can be used, in addition -- as the 1st metal layer -- low -- it is desirable to constitute the aluminum or aluminum which is an ingredient [ \*\*\*\* ] from an ingredient used as a principal component.

[0018] Moreover, it is desirable to constitute the titanium or titanium which is an ingredient with a sufficient contact property as a metal layer of the above 2nd from an ingredient used as a principal component.

[0019] In each above-mentioned configuration, it is characterized by said interlayer insulation film

consisting of a resin ingredient of the organic system which uses polyimide, polyimidoamide, a polyamide, an acrylic, and BCB (benz-cyclo-butene) as a principal component.

[0020] In order to realize the above-mentioned configuration moreover, the configuration of invention The process which forms a thin film transistor on an insulating front face, and the process which forms the interlayer insulation film which covers said thin film transistor and consists of an organic material, The process which covers said interlayer insulation film and forms the 1st metal membrane, and the process which carries out patterning of said 1st metal membrane, and forms the 1st metal layer, The process which etches said interlayer insulation film by using said 1st metal layer as a mask, and forms a contact hole, It is the production approach of the semiconductor device characterized by having the process which covers said the 1st metal layer and said contact hole, and forms the 2nd metal membrane, and the process which forms wiring which carries out patterning of said the 1st metal layer and said 2nd metal membrane, and has a part of laminated structure.

[0021] Furthermore, the process at which the configuration of other invention forms the 1st ingredient layer which has conductivity on an insulating front face, The process which forms the interlayer insulation film which covers said 1st ingredient layer and consists of an organic material, The process which covers said interlayer insulation film and forms the 1st metal membrane, and the process which carries out patterning of said 1st metal membrane, and forms the 1st metal layer, The process which etches said interlayer insulation film by using said 1st metal layer as a mask, and forms a contact hole, The process which covers said the 1st metal layer and said contact hole, and forms the 2nd metal membrane, The process which covers said 2nd metal membrane, carries out patterning of the process which forms an inorganic insulator layer, and said the 1st metal layer, said 2nd metal membrane and said inorganic insulator layer, and forms in a top face wiring which has an inorganic insulating layer, It is the production approach of the semiconductor device which forms the 2nd ingredient layer which has conductivity in contact with said wiring top, and is characterized by having the process which forms capacity in said wiring and said 2nd ingredient layer by using said inorganic insulating layer as a dielectric.

[0022] In each above-mentioned configuration, said inorganic insulator layer is characterized by forming membranes with a CVD method.

[0023] Moreover, in each above-mentioned configuration, said the 1st metal membrane and said 2nd metal membrane are characterized by forming membranes by the sputtering method.

[0024] Moreover, in each above-mentioned configuration, the process which etches said interlayer insulation film and forms a contact hole is characterized by carrying out by the dry etching method.

[0025] In addition, in this specification, what performed the "film", a call, and patterning for the thing immediately after carrying out membrane formation formation is called the "layer."

[0026]

[Embodiment of the Invention] The gestalt of operation of this invention is explained below using drawing 1.

[0027] In the configuration of this invention, it is characterized by forming a contact hole by the dry etching method using the mask which consists of a metal membrane, using the ingredient which consists of an organic material considering a switching element and each wiring as a wrap interlayer insulation film.

[0028] Moreover, at least the part of wiring (112-115) which exists on the organic material film in the configuration of this invention is a laminated structure [the 1st metal layer (lower layer) / 2nd metal layer (upper layer)]. In addition, the field in which the 1st metal layer (112 113) is formed is a laminated structure at least. Moreover, wiring inside a contact hole consisted of the 2nd metal layer (114 115) instead of a laminated structure, touches the source field 106 or the drain field 105, and is connected electrically.

[0029] The ingredient which has conductivity is used as the 1st metal layer (112 113) in the configuration of this invention, or 2nd metal layer (114 115). For example, the ingredient layers which use aluminum, Ta, Ti, Cr, W, Mo, or TiN as a principal component, or those cascade screens can be used. it is in addition, like aluminum as 1st metal layer -- low -- it is desirable that constitute from an

ingredient [\*\*\*\*], and it is not spread from a contact interface by heat treatment after membrane formation, but covering nature consists of good ingredients, for example, the ingredient which uses titanium as a principal component, as 2nd metal layer.

[0030] In addition, even if each wiring and the semiconductor device (TFT) which were produced on this substrate by the insulating-substrate list which exists under the interlayer insulation film (111, 116, 118) with which this invention consists of an organic material are what kind of structure (a planar mold, a KOPURENA mold, stagger mold), for example, a top gate mold, or a bottom gate mold (a channel dirty mold, channel stop mold), they are applicable.

[0031] Next, the formation process of the contact hole of this invention is explained below using drawing 2 and drawing 3.

[0032] First, each defeat or a semiconductor device is formed on a substrate, and the 1st flat interlayer insulation film 111 which consists of organic materials, such as polyimide, polyimidoamide, a polyamide, an acrylic, and BCB (benz-cyclo-butene), is formed. In addition, these organic resin ingredients may be thermosetting, or may be photoresists. In this invention, in order to reduce the parasitic capacitance generated between each signal wiring prepared on a different interlayer insulation film, it is desirable to form the 1st interlayer insulation film 111 which has the range of 0.6-2 micrometers of thickness. ( Drawing 2 (A))

[0033] In this way, the 1st metal membrane is formed on the 1st obtained interlayer insulation film, and patterning is performed using the resist mask 201. ( Drawing 2 (B))

[0034] Then, dry etching is performed by using as a mask the 1st metal membrane 204 to which patterning was performed, and contact holes 202 and 203 are formed. ( Drawing 2 (C)) The resist mask 201 is also removable to formation and coincidence of a contact hole in the case of this process.

Moreover, what is necessary is just to etch using the etchant gas of a chlorine system, when aluminum, Ti, Cr, W, or TiN is used for the 1st metal membrane. What is necessary is just to etch using the etchant gas of a fluorine system, when Ta is used for the 1st metal membrane. In addition, this invention is characterized by performing patterning to the 1st metal membrane used as a mask again, and using it as some wiring at a subsequent process.

[0035] In this invention, even if TFT structure is the structure where it is not limited to the structure shown in drawing 1, and has the reverse stagger mold TFT and silicide structure for example, it is easy to apply this invention if needed for an operation person.

[0036] Moreover, although the dry etching method is used in this specification in order to remove the interlayer insulation film which becomes with a resin ingredient, a chlorine system, a fluorine system, and oxygen are suitably used as an etchant gas if needed.

[0037] the gas which contains chlorine or chlorine in a part with the etchant gas of the chlorine system as used in the field of this detail in the letter -- pointing out -- Cl<sub>2</sub>, BCl<sub>3</sub>, SiCl<sub>4</sub>, HCl, and CCl<sub>4</sub> etc. -- what was diluted with a single gas or the mixture of gas, and the gases (for example, H<sub>2</sub>, O<sub>2</sub>, N<sub>2</sub>, etc.) that do not contain chlorine for these single gases or mixture of gas is pointed out further. [ for example, ]

[0038] furthermore, the etchant gas of the fluorine system as used in the field of this detail in the letter points out the gas which contains a fluorine or a fluorine in a part, for example, points out further what was diluted with the single gas of F<sub>2</sub>, BF<sub>3</sub>, SiF<sub>4</sub>, HF, and CF<sub>4</sub> grade or the mixture of gas, and the gases (for example, H<sub>2</sub>, O<sub>2</sub>, N<sub>2</sub>, etc.) that do not contain chlorine for these single gases or mixture of gas.

[0039] Furthermore, detailed explanation of a semiconductor device and its production approach shall be given as it is also at the example shown below.

[0040]

[Example] Hereafter, although the example of this invention is explained, of course, it is not limited to this example.

[0041] [Example 1] This example explains cross-section structural drawing of the semiconductor device of this invention produced on the insulating substrate using drawing 1.

[0042] 100 in drawing is a substrate and 101 is the substrate film. A channel formation field, and 103 and 104 102 Moreover, a low concentration impurity range, 105 a source field and 107 for a drain field

and 106 Gate dielectric film, In 108, gate wiring and 109 a protective coat and 111 for an oxide film on anode and 110 The organic material film (the 1st interlayer insulation film), For the 2nd metal layer and 116, as for a black mask and 118, the organic material film (the 2nd interlayer insulation film) and 117 are [ the 1st metal layer, and 114 and 115 / 112 and 113 / the organic material film (the 3rd interlayer insulation film) and 119 ] pixel electrodes.

[0043] Wiring (112-115) of this invention has the laminated structure of the 1st metal membrane (112 113) prepared in contact with the organic material film top, and the 2nd metal membrane (114 115) prepared on this film. Moreover, the wall part and pars basilaris ossis occipitalis of the contact hole established in the organic material film are touched, and it has the structure which formed only the 2nd metal membrane (114 115).

[0044] It will not be limited especially if it is the ingredient which has conductivity as the 1st metal layer or 2nd metal layer. For example, the ingredient layers which use aluminum, Ta, Ti, Mo, W, or Cr as a principal component, or those cascade screens can be used. In this example, since the ingredient which uses aluminum as a principal component as the 1st metal membrane was used, low resistance-ization of wiring was able to be attained. In addition, when membranes are formed by the spatter to the field which has irregularity on a front face, the coverage to concave heights is poor \*\*, and although it does not have especially a problem that the ingredient which uses aluminum as a principal component forms membranes on a flat front face, since there is a possibility that aluminum may be spread in a semi-conductor layer from a contact interface, form in contact with a semi-conductor layer ( for example, silicon) is avoided.

[0045] So, in this example, titanium nitride (TiN) was used as the 2nd metal membrane. Although resistivity of titanium nitride was high as compared with aluminum, the coverage to the field which has irregularity is good, and was able to make good the contact interface with a semi-conductor layer (for example, silicon).

[0046] [Example 2] By this example, on the substrate which has an insulating front face, drawing 2 and drawing 3 are used and the making process of a semiconductor device especially the formation process of a contact hole, and the formation process of wiring are shown below.

[0047] First, the substrate film 101 is formed on the substrate 100 which has an insulating front face. As a substrate, a glass substrate, a quartz substrate, a ceramic substrate, and a semi-conductor substrate can be used. Moreover, a plastic plate may be used if it is in the temperature requirement which process temperature can bear. The glass substrate was used in this example. The oxidation silicon film, a silicon nitride film, and the nitriding oxidation silicon film can be used for the substrate film by 100-300nm thickness. In this example, TEOS is used for a raw material and the oxidation silicon film is formed in 200nm thickness. In addition, if it has surface smoothness enough like a quartz substrate, it is not necessary to prepare especially the substrate film.

[0048] Next, a barrier layer is formed on a substrate or the substrate film. Thickness should just constitute a barrier layer from crystalline semi-conductor film (typically crystalline silicon film) of 20 - 100 nm (preferably 25-70nm). Although the formation approach of the crystalline silicon film could use what kind of well-known means, it was formed in 50nm thickness using the technique given in JP,9-312260,A by this example.

[0049] In this way, patterning of the formed crystalline silicon film is carried out, a barrier layer is formed, and gate dielectric film 107 is formed. Gate dielectric film can use the oxidation silicon film, a silicon nitride film, oxidation silicon nitride films, or these cascade screens by 100-300nm thickness. In this example, the nitriding oxidation silicon film was used as gate dielectric film 107 as 150nm thickness by the plasma-CVD method.

[0050] Next, membranes were formed by the spatter, patterning of the ingredient (aluminum film of 400nm of thickness which formed membranes using the target which contained the 2wt(s)% scandium in this example) which uses aluminum or aluminum as a principal component was carried out, and the gate wiring 108 was formed.

[0051] Next, 13 groups or 15 group element was added using the technique given in JP,7-135318,A, and formation of the source field 106, the drain field 105, the channel formation field 102, and the LDD

(Lightly doped drain) fields 103 and 104 was performed. At this example, it is between a source field, a drain field, and a channel formation field. 0.5-1.5 The LDD fields 103 and 104 of mum (typically 0.7-1 micrometer) were formed. Moreover, in this example, especially although the oxide film on anode 109 was formed in contact with the gate wiring 108, it is not necessary to form.

[0052] Next, the impurity element (13 groups or 15 group element) added to the barrier layer was activated by heat annealing or laser radiation. In this example, after making it activated using excimer laser, 450 degrees C and heat annealing of 2 hours were performed further.

[0053] Then, the whole substrate surface is covered and a protective coat 110 is formed. As a protective coat, a silicon nitride film and the nitriding oxidation silicon film can be used. At this example, the silicon nitride film used as a protective coat was formed by 25nm of thickness. In addition, the sectional view after protective coat membrane formation was shown in drawing 2 (A).

[0054] Furthermore, the whole substrate surface is covered and the organic material film of 0.5-3 micrometers of thickness is formed as the 1st interlayer insulation film 111. The membrane formation approach can obtain a coat with a flat front face easily by using the spin coating method which used the spinner. Then, 250 degrees C is calculated by heating for 1 hour. In this example, the acrylic was formed to 1-micrometer thickness. Moreover, it is possible to use the polyimide, BCB (benz-cyclo-butene), or other organic materials other than an acrylic as the 1st interlayer insulation film.

[0055] In this way, on the 1st obtained flat interlayer insulation film, the 1st metal membrane is formed by RF sputter. Then, a resist 201 is formed and patterning of the 1st metal membrane is carried out by dry etching. In 100nm - 2 micrometers and this example, the 1st metal membrane formed the metal membrane which uses aluminum as a principal component to 500nm thickness, and it carried out dry etching by the etchant gas of a chlorine system. ( Drawing 2 (B))

[0056] Next, dry etching is performed by using as a mask the 1st metal membrane 112 by which patterning was carried out, and contact holes 202 and 203 are formed in the 1st interlayer insulation film. The resist which becomes coincidence from the ingredient of the 1st interlayer insulation film and the ingredient with which the presentation is alike according to this process is also removed. ( Drawing 2 (C)) When a protective coat is prepared in addition like this example, it etches again, a protective coat 110 is removed, and a semi-conductor layer (106 105) is exposed at the contact hole pars basilaris ossis occipitalis. In this example, the silicon nitride film which is a protective coat was etched by the dry etching of the anisotropy by RIE (reactive ion etching) etc. As an etchant gas, it is a fluorine system and CHF3. Gas was used.

[0057] Moreover, it is CF4 in order to reduce a routing counter. It is desirable to etch the 1st interlayer insulation film and protective coat into coincidence using the mixed gas of oxygen and helium.

[0058] Then, the 2nd metal membrane 301 is formed by RF sputter. ( Drawing 3 (A)) According to this process, at the pars basilaris ossis occipitalis of the contact hole established in the organic material film, the drain field 105 and the 2nd metal membrane of said thin film transistor are touched, and contact is formed. The thickness of the 2nd metal membrane formed the TiN film to 150nm thickness in 10nm - 1 micrometer and this example.

[0059] It will not be limited especially if it is the ingredient which has the conductivity which can apply a sputter as the 1st metal layer or 2nd metal layer. For example, the ingredient layers which use aluminum, Ta, Ti, and Cr as a principal component, or those cascade screens can be used. In addition, it is good also as structure which forms the 1st metal layer and the 2nd metal layer using the same ingredient.

[0060] Next, patterning was performed, the 1st metal membrane and 2nd metal membrane were etched by dry etching, and the electrode pattern of a source electrode and a drain electrode was formed. At this example, they are the etchant gas of a chlorine system, and Cl2 / BCl3 / SiCl4. Dry etching was carried out using 40sccm(s)/10sccm/180sccm. ( Drawing 3 (B))

[0061] In this way, completed wiring (112-115) has the laminated structure of the 1st metal membrane prepared in contact with the organic material film top, and the 2nd metal membrane prepared on this film. Moreover, the wall part and pars basilaris ossis occipitalis of the contact hole established in the organic material film 111 are touched, and it has the structure which formed only the 2nd metal



membrane (114 115). In this example, the 2nd metal membrane which can attain low resistance-ization of wiring since the 1st metal membrane which uses aluminum as a principal component was used, and uses titanium as a principal component was able to be used for contact, and good contact was able to be formed.

[0062] And the whole substrate surface is covered and the 2nd interlayer insulation film 116 is formed. In addition, the organic material film of 0.5-3 micrometers of thickness is formed as the 2nd interlayer insulation film. At this example, the acrylic was again formed by 1 micrometer of thickness. Ti is formed by the sputter as a black mask 117 on it, and patterning is carried out.

[0063] Then, the whole substrate surface is covered and the 3rd interlayer insulation film 118 is formed. In addition, the organic material film of 0.5-3 micrometers of thickness is formed as the 3rd interlayer insulation film. At this example, the acrylic was again formed by 1 micrometer of thickness.

[0064] The contact hole for taking connection electrically with a drain electrode to the 2nd interlayer insulation film of the above and the 3rd interlayer insulation film is formed. This process performs CF4 / O2 / helium in the etchant gas of a fluorine system, and this example by the dry etching which used 5sccm(s)/95sccm/40sccm. In addition, if the 1st interlayer insulation film, 2nd interlayer insulation film, and 3rd interlayer insulation film are formed with the same ingredient like this example, stress can be controlled and the adhesion excellent in the insulator layers between each class can be acquired.

[0065] And the electric conduction film used as the pixel electrode 119 was formed, and it was made to connect with the drain field 105 of TFT electrically through wiring (112-115). (Drawing 3 (C)) Although ITO was used for this electric conduction film and the liquid crystal display of a transparency mold was produced in this example, it is also possible to use reflectors, such as aluminum and Ti, for a pixel electrode, and to produce the liquid crystal display of a reflective mold. What is necessary is just to form reflectors, such as aluminum and Ti, using a sputter.

[0066] The switching element (TFT) for impressing the electrical potential difference for a liquid crystal drive to a pixel electrode with the above making process was completed, and the active-matrix substrate which forms two or more pixels and has a pixel matrix circuit was completed. What is necessary is just to arrange at least one switching element and the 1st retention volume to each pixel in a pixel matrix circuit. In addition, in this specification, the component constituted in drawing 3 (B) is called a switching element (TFT and an MIM component are typically sufficient).

[0067] In addition, it is possible to form a drive circuit (driver line) and a digital disposal circuit (logical circuits, such as a gamma correction circuit and a D/A converter) on a active-matrix substrate besides a pixel matrix circuit. The making process which showed the making process of these circuits fundamentally to this example, and since it is the same (it completes at the process of drawing 3 (B) in fact), detailed explanation is omitted.

[0068] Moreover, since the invention in this application is invention about formation of a contact hole, and the configuration of wiring, the configuration of other components (a capacitive element and storage element) formed on the same substrate may be what kind of thing. An operation person should just determine the making process and structure of such a circuit suitably.

[0069] [Example 3] In this example, as the structure was shown in drawing 4 , it is an example using TFT of a reverse stagger mold. The process of different this example from the process which produces the reverse stagger mold TFT with a well-known technique has the process which forms wiring which consisted of a process which uses an organic material for an interlayer insulation film 411, a process which forms a contact hole by dry etching, using a metal membrane as a mask, and the 1st metal layer 412 and 2nd metal membrane 414. In addition, even if TFT structure is the structure where it is not limited to the structure (channel stop mold) shown in drawing 4 , and has the channel dirty mold TFT and silicide structure for example, it is easy to apply this invention if needed for an operation person.

[0070] [Example 4] This example is an example which forms retention volume in the switching element (TFT) and coincidence for impressing the electrical potential difference for liquid crystal control to a pixel electrode. In drawing 5 , the sectional view of a contact part where retention volume was produced was illustrated.

[0071] Since this example is produced at the same process as the process of drawing 2 (C) of an

example 1, a publication and a drawing are omitted.

[0072] In case the inorganic insulator layer produced with a CVD method etc. was conventionally prepared on the organic material film, it was difficult for gas, such as water and methane, to occur from the organic material film, if exposed on the front face of the organic material, and to obtain the good film.

[0073] In this example, when the same condition as drawing 2 (C) of an example 2 was acquired, after having covered the whole substrate surface, having formed the 2nd metal membrane by the spatter, abolishing completely the part which the organic material exposed and preventing generating of the above-mentioned gas, the inorganic insulator layer was continuously formed with the CVD method. The inorganic insulator layer formed the silicon nitride film to 50nm of thickness by 10-100nm of thickness, and this example using the plasma-CVD method. A monolayer is sufficient as an inorganic insulator layer, and it is good also as the laminated structure more than a bilayer, for example, a silicon nitride film (lower layer) / oxidation silicon film, (upper layer).

[0074] Next, patterning is performed and a top face forms the wiring 512 and 514 covered by the inorganic insulator layer 521. And the whole substrate surface was covered, the 2nd layer insulation layer 516 was formed, and the crevice was established only in the part which constitutes retention volume 520 behind. A monolayer is sufficient as the 2nd interlayer insulation film, and it is good also as a laminated structure more than a bilayer.

[0075] In this example, the insulating layer which consists of acrylic film (1 micrometer) is used as 2nd layer insulation layer. Other organic materials, such as polyimide and BCB (benz-cyclo-butene), may be used instead of an acrylic.

[0076] And in order to form a crevice, opening of the acrylic film is carried out by the dry etching method. At this time, a silicon nitride film 521 functions as an etching stopper. Therefore, a silicon nitride film remains in the base of a crevice. In the case of this example, this film 521 is used as a dielectric of retention volume. Of course, wet etching may be used. Moreover, the part which formed the crevice by half etching and was thin-film-sized may be used as a dielectric of retention volume.

[0077] In this way, a black mask is formed in a desired location after forming a crevice to the 2nd layer insulation layer. Although titanium is used as a black mask 517 in this example, you may be other metal membranes, such as chromium and a tantalum.

[0078] The retention volume 520 which uses the drain electrodes 512 and 514 and the black mask 517 as a vertical electrode, and uses the 2nd layer insulation layer 521 (correctly silicon nitride film) as a dielectric in this condition is formed. (Drawing 5)

[0079] In this way, retention volume 520 was formed in the switching element (TFT) and coincidence for impressing the electrical potential difference for liquid crystal control to a pixel electrode.

[0080] Moreover, a monolayer is sufficient as the above-mentioned insulator layer between each class which consisted of organic materials in each above-mentioned example, and it is good also as a laminated structure more than a bilayer.

[0081] In addition, this example is freely combinable with any configuration of examples 1-3.

[0082] [Example 5] The example of this invention is explained using drawing 6 - drawing 10. Here, how to produce the drive circuit for driving a pixel circuit and its pixel circuit on the same substrate to coincidence is explained. However, in order to simplify explanation, suppose that the CMOS circuit which are basic circuits, such as a shift register circuit and a buffer circuit, and the n channel mold TFT which forms a sampling circuit are illustrated in a drive circuit.

[0083] In drawing 6 (A), it is desirable to use a quartz substrate and a silicon substrate for a substrate 601. The quartz substrate was used in this example. In addition, it is good also considering the thing in which the insulator layer was formed on the front face of a metal substrate or a stainless steel substrate, as a substrate. Since the thermal resistance which can bear the temperature of 800 degrees C or more is required in the case of this example, as long as it is the substrate which fills it, what kind of substrate may be used.

[0084] And the semi-conductor film 602 including amorphous structure with a thickness of 20-100nm (preferably 40-80nm) is formed in the front face in which TFT of a substrate 601 is formed by the

method of reduced pressure heat CVD, the plasma-CVD method, or the spatter.

[0085] Moreover, as semi-conductor film including amorphous structure, there are amorphous semiconductor film and microcrystal semi-conductor film, and the compound semiconductor film which includes the amorphous structure of the amorphous silicon germanium film etc. further is also contained. Furthermore, it is also effective to form continuously without carrying out atmospheric-air release of the substrate film and the amorphous silicone film on a substrate. By doing so, contamination on the front face of a substrate can become able [ not affect an amorphous silicone film ] to make it, and the property variation of TFT produced can be reduced.

[0086] Next, the mask film 603 which becomes by the insulator layer containing silicon (silicon) is formed on the amorphous silicone film 602, and they are opening 604a and 604b by patterning. It forms. This opening serves as an addition field for adding the metallic element which promotes crystallization in the case of the following crystallization process. ( Drawing 6 (A))

[0087] In addition, as an insulator layer containing silicon, an oxidation silicone film, a silicon nitride film, and a nitriding oxidation silicone film can be used. A nitriding oxidation silicone film is an insulator layer which contains silicon, nitrogen, and oxygen in a predetermined amount, and is an insulator layer expressed with  $\text{SiOxNy}$ . A nitriding oxidation silicone film is  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ , and  $\text{NH}_3$ . The nitrogen concentration which producing as material gas is possible and is contained is 25atomic(s)%. It is 50atomic% above. It is good to consider as the following.

[0088] Moreover, the marker pattern used as the criteria of a location is formed in the case of a next patterning process at the same time it performs patterning of this mask film 603.

[0089] Next, according to the technique indicated by JP,10-247735,A (it corresponds to the U.S. application number 09 / 041), the semi-conductor film including the crystal structure is formed. [ 034 and 041 ] A technique given [ this ] in an official report is a crystallization means using the element (a kind or two or more sorts of elements chosen from nickel, cobalt, germanium, tin, lead, palladium, iron, and copper) which promotes crystallization on the occasion of crystallization of the semi-conductor film including amorphous structure.

[0090] It heat-treats in the condition of having made the metallic element which specifically promotes crystallization on the front face of the semi-conductor film including amorphous structure holding, and the semi-conductor film including amorphous structure is changed to the semi-conductor film including the crystal structure. In addition, as a crystallization means, the technique indicated by the example 1 of JP,7-130652,A may be used. Moreover, although the so-called single crystal semiconductor film and the polycrystal semi-conductor film are contained in the semi-conductor film including crystalline substance structure, the semi-conductor film including the crystal structure formed in this official report has the grain boundary.

[0091] In addition, although the spin coat method is used in this official report in case the layer containing the metallic element which promotes crystallization is formed on the mask film, it is very good in a means to form membranes using gaseous-phase methods [ thin film / containing the metallic element which promotes crystallization ], such as a spatter and vacuum deposition.

[0092] Moreover, although an amorphous silicone film is based also on the amount of content hydrogen, it is desirable to make it crystallize, since heat-treatment of about 1 hour is preferably performed at 400-550 degrees C and hydrogen is fully desorbed. In that case, it is desirable to make the amount of content hydrogen into less than [ 5atom% ].

[0093] After a crystallization process performs the heat treatment process of about 1 hour at 400-500 degrees C first and desorbs hydrogen out of the film, it performs heat treatment of 6 - 16 hours (preferably 8 - 14 hours) at 500-650 degrees C (preferably 550-600 degrees C).

[0094] At this example, heat treatment of 14 hours is performed at 570 degrees C, using nickel as a metallic element which promotes crystallization. Consequently, opening 604a and 604b Semi-conductor film (this example crystalline substance silicone film) 605a -605d including the crystal structure to which it considered as the origin, crystallization advanced in the direction (direction shown by the arrow head) parallel to an outline substrate, and the macroscopic crystal growth direction was equal It is formed. [( Drawing 6 (B)) 0095] Next, the gettering process which removes the nickel used at the

process of crystallization from a crystalline substance silicone film is performed. The process which adds the element (this example Lynn) which belongs to 15 groups by using as a mask the mask film 603 in which the point was formed as it is in this example is performed, and they are opening 604a and 604b. They are  $1 \times 10^{19}$  -  $1 \times 10^{20}$  atoms/cm<sup>3</sup> to the exposed crystalline substance silicone film. Lynn addition field (henceforth gettering field) 606a which includes Lynn by concentration, and 606b It forms.

( Drawing 6 (C) )

[0096] Next, 450-650 degrees C (preferably 500-550 degrees C) and the heat treatment process of 4 - 24 hours (preferably 6 - 12 hours) are performed in nitrogen-gas-atmosphere mind. Since the nickel in a crystalline substance silicone film moves in the direction of an arrow head according to this heat treatment process and nickel is removed by gettering operation of Lynn out of a crystalline substance silicone film, it is crystalline substance silicone film 607a -607d after gettering. The nickel concentration contained can be preferably reduced even to  $1 \times 10^{16}$  atoms/cm<sup>3</sup> three or less  $1 \times 10^{17}$  atoms/cm.

[0097] Next, the mask film 603 is removed and it is crystalline substance silicone film 607a -607d. A protective coat 608 is formed upwards a sake [ at the time of next impurity addition ]. A protective coat 608 is good to use a nitriding oxidation silicone film or an oxidation silicone film with a thickness of 100-200nm (preferably 130-170nm). This protective coat 608 has the semantics for enabling delicate concentration control, in order not to put a crystalline substance silicone film to the direct plasma at the time of impurity addition.

[0098] And the resist mask 609 is formed on it and the impurity element (henceforth p mold impurity element) which gives p mold through a protective coat 608 is added. Boron or a gallium can be used for the element and type target which belong to 13 groups typically as a p mold impurity element. This process (it is called a channel dope process) is a process for controlling the threshold electrical potential difference of TFT. In addition, boron is added by the ion doping method which carried out plasma excitation without carrying out mass separation of the diboron hexahydride (B-2 H<sub>6</sub>) here. Of course, the ion implantation method for performing mass separation may be used.

[0099] Impurity range 610a which contains p mold impurity element (this example boron) according to this process by the concentration of  $1 \times 10^{15}$  -  $1 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{16}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>), and 610b It forms. In addition, in this specification, the impurity range (however, field where Lynn is not included) containing p mold impurity element is defined as p mold impurity range (b) by the above-mentioned density range. ( Drawing 6 (D) )

[0100] Next, the resist mask 609 is removed, patterning of the crystalline substance silicone film is carried out, and the island-shape semi-conductor layers (henceforth a barrier layer) 611-614 are formed. In addition, barrier layers 611-614 are formed very much with the crystalline good crystalline substance silicone film by adding nickel alternatively and crystallizing. Specifically, it has cylindrical or the crystal structure with which the column-like crystal had specific directivity and was located in a line. moreover, the concentration of the nickel element which is removing or reducing nickel according to a gettering operation of Lynn after crystallization, and remains in a barrier layer 611-614 --  $1 \times 10^{17}$  atoms/cm<sup>3</sup> the following -- desirable --  $1 \times 10^{16}$  atoms/cm<sup>3</sup> it is . ( Drawing 6 (E) )

[0101] Moreover, the barrier layer 611 of the p channel mold TFT is a field which does not contain the impurity element added intentionally, and the barrier layers 612-614 of the n channel mold TFT serve as p mold impurity range (b). In this specification, it is defined as the barrier layers 611-614 of this condition being genuineness genuineness or substantially altogether. That is, the field where the impurity element is intentionally added by extent which does not cause trouble to actuation of TFT may consider a genuineness field substantially.

[0102] Next, the insulator layer which contains the silicon of 10-100nm thickness by the plasma-CVD method or the spatter is formed. In this example, the nitriding oxidation silicone film of 30nm thickness is formed. The insulator layer containing other silicon may be used for the insulator layer containing this silicon in a monolayer or a laminating.

[0103] Next, the heat treatment process of 15 minutes - 8 hours (preferably 30 minutes - 2 hours) is performed under an oxidizing atmosphere at the temperature of 800-1150 degrees C (preferably 900-1000 degrees C) (thermal oxidation process). In this example, 950-degree-C heat treatment process for

80 minutes is performed in the ambient atmosphere which added the hydrogen chloride of 3 volume % in the oxygen ambient atmosphere. In addition, the boron added at the process of drawing 6 (D) is activated between this thermal oxidation process. ( Drawing 7 (A) )

[0104] Also in the interface of the insulator layer containing silicon, and the barrier layers 611-614 under it, oxidation reaction advances between this thermal oxidation process. At the thermal oxidation process of this example, 25nm of the barrier layer of 60nm thickness oxidizes, and the thickness of barrier layers 611-614 is set to 45nm. Moreover, since the thermal oxidation film of 50nm thickness is added to the insulator layer containing the silicon of 30nm thickness, the thickness of final gate dielectric film 615 is set to 110nm.

[0105] Next, the resist masks 616-619 are newly formed. And the impurity ranges 620-622 which add the impurity element (henceforth n mold impurity element) which gives n mold, and present n mold are formed. In addition, Lynn or arsenic can be used for the element and type target which belong to 15 groups typically as an n mold impurity element. ( Drawing 7 (B) )

[0106] These impurity ranges 620-622 are impurity ranges for making it function as a LDD field in the n channel mold TFT of a CMOS circuit and a sampling circuit later. In addition, n mold impurity element is contained in the impurity range formed here by the concentration of  $2 \times 10^{16}$  -  $5 \times 10^{19}$  atoms/cm<sup>3</sup> (typically  $5 \times 10^{17}$  -  $5 \times 10^{18}$  atoms/cm<sup>3</sup>). In this specification, the impurity range containing n mold impurity element is defined as n mold impurity range (b) by the above-mentioned density range.

[0107] In addition, it is Lynn with the ion doping method which carried out plasma excitation without carrying out mass separation of the phosphoretted hydrogen (PH<sub>3</sub>) here  $1 \times 10^{18}$  atoms/cm<sup>3</sup> It adds by concentration. Of course, the ion implantation method for performing mass separation may be used. At this process, Lynn is added to a crystalline substance silicone film through the gate film 615.

[0108] Next, Lynn which heat-treated in the 600-1000 degrees C (preferably 700-800 degrees C) inert atmosphere, and was added at the process of drawing 7 (B) is activated. In this example, 800-degree-C heat treatment of 1 hour is performed in nitrogen-gas-atmosphere mind. ( Drawing 7 (C) )

[0109] At this time, it is possible to restore the interface of the barrier layer and barrier layer which were damaged in coincidence at the time of addition of Lynn, and gate dielectric film. Although this activation process has desirable furnace annealing which used the electric heat furnace, optical annealing, such as lamp annealing and laser annealing, may be used together.

[0110] it exists in the boundary section of n mold (impurity range b) 620-622, i.e., the perimeter of n mold impurity range (b), according to this process -- a joint with a genuineness field (of course, p mold impurity range (b) is included) becomes clear genuineness or substantially. This means that a LDD field and a channel formation field can form a very good joint, when TFT is completed behind.

[0111] Next, the electric conduction film used as gate wiring is formed. In addition, although gate wiring may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as a bilayer and three layers, if needed. In this example, the cascade screen which becomes by the 1st electric conduction film 623 and the 2nd electric conduction film 624 is formed.

( Drawing 7 (D) )

[0112] Here as the 1st electric conduction film 623 and the 2nd electric conduction film 624 A tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), the electric conduction film (typical -- the tantalum nitride film --) which uses as a principal component chromium (Cr), the element chosen from silicon (Si), or said element The nitriding tungsten film, the titanium nitride film, or the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) that combined said element can be used.

[0113] In addition, the 1st electric conduction film 623 is set to 10-50nm (preferably 20-30nm), and should just set the 2nd electric conduction film 624 to 200-400nm (preferably 250-350nm). In this example, the nitriding tungsten (WN) film of 50nm thickness is used as the 1st electric conduction film 623, and the tungsten film of 350nm thickness is used as the 2nd electric conduction film 624. In addition, although not illustrated, it is effective to form a silicone film in the bottom of the 1st electric conduction film 623 by the thickness of about 2-20nm.

[0114] Next, the 1st electric conduction film 623 and the 2nd electric conduction film 624 are etched by package, and the gate wiring 625-628 of 400nm thickness is formed. At this time, the gate wiring 626

and 627 formed in a drive circuit is formed so that it may lap through the part and gate dielectric film 615 of n mold (impurity range b) 620-622. This overlapping part serves as a Low field behind. In addition, gate wiring 628a and 628b In the cross section, although it is visible to two, it is formed from one pattern connected continuously in practice. ( Drawing 7 (E))

[0115] Next, the resist mask 629 is formed and the impurity ranges 630 and 631 which add p mold impurity element (this example boron), and contain boron in high concentration are formed. They are  $3 \times 10^{20} - 3 \times 10^{21}$  atoms/cm<sup>3</sup> by the ion doping method (of course, the ion implantation method may be used) for having used diboron hexahydride (B-2 H<sub>6</sub>) in this example. Boron is added by concentration (typically  $5 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup>). In addition, in this specification, the impurity range containing p mold impurity element is defined as p mold impurity range (a) by the above-mentioned density range. ( Drawing 8 (A))

[0116] Next, the resist mask 629 is removed and the resist masks 632-634 are formed for the field used as gate wiring and the p channel mold TFT in a wrap form. And the impurity ranges 635-641 which add n mold impurity element (this example Lnn), and include Lnn in high concentration are formed. Here, it carries out by the ion doping method (of course, the ion implantation method may be used) for having used phosphoretted hydrogen (PH<sub>3</sub>), and concentration of Lnn of this field is made into  $1 \times 10^{20} - 1 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $2 \times 10^{20} - 5 \times 10^{21}$  atoms/cm<sup>3</sup>). ( Drawing 8 (B))

[0117] In addition, in this specification, the impurity range containing n mold impurity element is defined as n mold impurity range (a) by the above-mentioned density range. Moreover, although Lnn or boron already added at the last process is contained in the field in which impurity ranges 635-641 were formed, since Lnn will be added by concentration high enough, it is not necessary to consider the effect of Lnn added at the last process, or boron. Therefore, in this specification, impurity ranges 635-641 may be put in another way as n mold impurity range (a).

[0118] Next, the resist masks 632-634 are removed and the protective coat 642 which becomes by the insulator layer containing silicon is formed. thickness -- 25-100nm (preferably 30-50nm) -- then, it is good. Suppose that the silicon nitride film of 25nm thickness is used in this example.

[0119] Next, n mold impurity element (this example Lnn) is added in self align by using gate wiring 625-628 as a mask. In the formed impurity ranges 643-646, in this way, the concentration of  $1/2 - 1/10$  (typically  $1/3 - 1/4$ ) of said n mold impurity range (b) (-- however, 5 to 10 times as high concentration as the boron concentration added at the above-mentioned channel dope process -- typical --  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> -- it adjusts so that Lnn may be typically added by  $3 \times 10^{17} - 3 \times 10^{18}$  atoms/cm<sup>3</sup>). In addition, in this specification, the impurity range (however, p mold impurity range (a) is removed) containing n mold impurity element is defined as n mold impurity range (c) by the above-mentioned density range. ( Drawing 8 (C))

[0120] Although Lnn will be added through the insulator layer (cascade screen of the cap film 642 and gate dielectric film 615) of 105nm thickness at this process, a protective coat 642 also functions as a mask. That is, the offset field of the die length equivalent to the thickness of a protective coat 642 will be formed.

[0121] In addition, the part hidden with gate wiring at this process is removed, and they are  $1 \times 10^{16} - 5 \times 10^{18}$  atoms/cm<sup>3</sup> also to all impurity ranges. Although Lnn is added by concentration, since it is very low concentration, the function of each impurity range is not affected. Moreover, in n mold (impurity range b) 643-646, they are already  $1 \times 10^{15} - 1 \times 10^{18}$  atoms/cm<sup>3</sup> at a channel dope process. Although the boron of concentration is added, since Lnn is added with boron 5 to 10 times the concentration of being contained at this process in p mold impurity range (b), you may think that boron does not affect the function of n mold impurity range (b) in this case, either.

[0122] Then, in order to activate n mold or p mold impurity element added by each concentration, the heat treatment process was performed. This process can use together the furnace annealing method, the laser annealing method, the lamp annealing method, or them, and can perform them. What is necessary is just to perform 500-800 degrees C at 550-600 degrees C preferably into an inert atmosphere, when carrying out by the furnace annealing method. In this example, 600 degrees C and heat treatment of 4 hours are performed, and an impurity element is activated. ( Drawing 8 (D))

[0123] In addition, in this example, where the laminating of the silicon nitride film 642 is carried out, gate wiring is covered, and the activation process is performed in the condition. In this example, since the laminating of the silicon nitride film is carried out, it is possible to perform an activation process at high temperature, without caring about the problem of a pinhole.

[0124] Next, after an activation process, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 4 hours is performed at 300-450 degrees C, and a barrier layer is hydrogenated. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0125] If an activation process is finished, it is 500nm - 1.5 micrometers. The 1st interlayer insulation film 650 of thickness is formed. At this example, it is 1 micrometer as the 1st interlayer insulation film 650. The acrylic of thickness is formed by the applying method. Moreover, it is also possible as other 1st interlayer insulation film 650 to use organic resin film, such as polyimide, a polyamide, polyimidoamide, and BCB (benz-cyclo-butene).

[0126] Then, the contact hole which arrives at each source field or drain field of TFT is formed. After forming Ti film on the whole surface by the spatter at this time, the contact hole which pierces through Ti film and the organic resin film by dry etching using a resist mask is formed. A resist mask is removed, the film which uses aluminum as a principal component is formed in the whole surface, patterning is performed to the above-mentioned dry etching and coincidence, and source wiring 651-654 and the drain wiring 655-657 are formed in them. In this way, contact structure shown with the gestalt of operation of this invention is realized.

[0127] In addition, in order to form a CMOS circuit, the drain wiring 655 is communalized between the p channel mold TFT and the n channel mold TFT. Moreover, although not illustrated, in this example, it considers as the cascade screen of the two-layer structure in which 500nm of aluminum film which includes [ Ti film ] this wiring for 200nm and Ti was formed. ( Drawing 9 (A) )

[0128] Moreover, a hydrogenation process may be performed further after this. For example, the same effectiveness is acquired, even if it is good to perform heat treatment of 1 - 12 hours at 300-450 degrees C or uses the plasma hydrogenating method in the ambient atmosphere containing 3 - 100% of hydrogen.

[0129] Then, it is about 1 micrometer about the 2nd interlayer insulation film 659 which consists of organic resin. It forms in thickness. As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. The point for the membrane formation approach that the advantage of using the organic resin film is simple, the point that parasitic capacitance can be reduced since specific inductive capacity is low, the point of excelling in surface smoothness, etc. are got. In addition, the organic resin film and the organic system SiO except having mentioned above A compound etc. can also be used. Here, it calcinates and forms at 300 degrees C after applying to a substrate using the polyimide of the type which carries out thermal polymerization.

[0130] Next, in the field used as a pixel circuit, a screen 660 is formed on the 2nd interlayer insulation film 659. In addition, in this specification, \*\*\*\* called a screen is used for the purpose of interrupting light and an electromagnetic wave. A screen 660 forms in the thickness of 100-300nm the film which becomes by the element chosen from aluminum (aluminum), titanium (Ti), and a tantalum (Ta), or one of elements by the film used as a principal component. In this example, the aluminum film which made 1wt% titanium contain is formed in the thickness of 125nm.

[0131] In addition, if 5-50nm of insulator layers, such as an oxidation silicone film, is formed on the 2nd interlayer insulation film 659, the adhesion of the screen formed on this can be raised. Moreover, it is CF4 to the front face of the 2nd interlayer insulation film 659 formed by organic resin. If plasma treatment using gas is performed, the adhesion of the screen formed on the film by surface treatment can be raised.

[0132] Moreover, it is also possible to form not only a screen but other connection wiring using the aluminum film which made this titanium contain. For example, connection wiring which connects between components in a drive circuit can be formed. However, before forming the ingredient which

forms a screen or connection wiring in that case, it is necessary to form a contact hole in the 2nd interlayer insulation film beforehand.

[0133] Next, the oxide 661 with a thickness of 20-100nm (preferably 30-50nm) is formed in the front face of a screen 660 by the anode oxidation method or the plasma oxidation method (this example anode oxidation method). In this example, since the film which uses aluminum as a principal component as a screen 660 was used, the aluminum-oxide film (alumina film) is formed as an anodic oxidation object 661.

[0134] Next, the contact hole which reaches the drain wiring 657 is formed in the 3rd interlayer insulation film 659 and the passivation film 658, and the pixel electrode 662 is formed. In addition, the pixel electrode 663 is a pixel electrode of adjoining another pixel. In making it into a transparency mold liquid crystal display, when making it into the liquid crystal display of a reflective mold using the transparency electric conduction film, the ingredient film which has reflexivity should just be used for the pixel electrodes 662 and 663. Here, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film is formed in the thickness of 110nm by the spatter.

[0135] Moreover, at this time, the pixel electrode 662 and a screen 660 lap through the anodization object 661, and form retention volume (capacitance and storage) 664. In addition, it is desirable in this case floating (condition isolated electrically), fixed potential, and to set a screen 660 as common potential (middle potential of the picture signal sent as data) preferably.

[0136] In this way, on the same substrate, the active-matrix substrate with a drive circuit and a pixel circuit was completed. In addition, in drawing 9 (B), the p channel mold TFT301 and the n channel mold 802 and TFT 803 are formed in a drive circuit, and the pixel TFT804 which becomes with the n channel mold TFT is formed in a pixel circuit.

[0137] The process which produces an active matrix liquid crystal display is explained from an active-matrix substrate here. The orientation film is formed to the substrate of the condition of drawing 9 (B). In this example, the polyimide film is used as orientation film. Moreover, the transparency electric conduction film and the orientation film 4 are formed in an opposite substrate. In addition, a color filter and a screen may be formed in an opposite substrate if needed.

[0138] Next, after forming the orientation film, it adjusts so that orientation may be carried out with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule. And a pixel circuit, and the active-matrix substrate and opposite substrate with which the drive circuit was formed are stuck and set through a sealant, a spacer (not shown [ both ]), etc. according to a well-known cell \*\*\*\* process. Then, liquid crystal is poured in among both substrates and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for liquid crystal. Thus, an active matrix liquid crystal display is completed.

[0139] Next, the configuration of this active matrix liquid crystal display is explained using the perspective view of drawing 10. In addition, for the cross-section structural-drawing [ of drawing 1 - drawing 4 ], and correspondence \*\*\*\*\* reason, the common sign is used for drawing 8. A active-matrix substrate consists of a pixel circuit 901 formed on the quartz substrate 601, a scan (gate) signal drive circuit 902, and an image (source) signal drive circuit 903. The pixel TFT804 of a pixel circuit is the n channel mold TFT, and the drive circuit prepared on the outskirts is constituted on the basis of the CMOS circuit. The scan signal drive circuit 902 and the picture signal drive circuit 903 are connected to the pixel circuit 901 with the gate wiring 628 and source wiring 654, respectively. Moreover, the connection wiring 906 and 907 from the external I/O terminal 905 to which FPC904 was connected to the input/output terminal of a drive circuit is formed.

[0140] Next, an example of the circuitry of the active matrix liquid crystal display shown in drawing 10 is shown in drawing 11. this example -- an active matrix liquid crystal -- a display -- a picture signal -- a drive -- a circuit -- 1001 -- a scan -- a signal -- a drive -- a circuit -- (-- A --) -- 1007 -- a scan -- a signal -- a drive -- a circuit -- (-- B --) -- 1011 -- precharge -- a circuit -- 1012 -- a pixel -- a circuit -- 1006 -- having -- \*\*\*\*. In addition, the picture signal processing circuit 1001 and the scan signal drive circuit 1007 are included in this specification in a drive circuit.

[0141] The picture signal drive circuit 1001 is equipped with the shift register circuit 1002, the level-



shifter circuit 1003, the buffer circuit 1004, and the sampling circuit 1005. Moreover, the scan signal drive circuit (A) 1007 is equipped with the shift register circuit 1008, the level-shifter circuit 1009, and the buffer circuit 1010. The scan signal drive circuit (B) 1011 is also the same configuration.

[0142] In addition, the configuration of this example is easily realizable by producing TFT according to the process shown in drawing 6-9. Moreover, although this example shows only the configuration of a pixel circuit and a drive circuit, if the making process of this example is followed, it is also possible a signal dividing network, a subharmonics circuit, a D/A converter circuit, an operational amplifier circuit, a gamma correction circuit, and to form digital disposal circuits (for you to call it a logical circuit), such as a microprocessor circuit, on the same substrate further.

[0143] Thus, this invention can realize the semiconductor device which includes the drive circuit for driving a pixel circuit and this pixel circuit on the same substrate at least, for example, the semiconductor device which possesses a digital disposal circuit, a drive circuit, and a pixel circuit on the same substrate.

[0144] Moreover, if the process to drawing 7 (B) of this example is performed, the crystalline substance silicone film of the unique crystal structure which has a continuity in a crystal lattice will be formed. Hereafter, these people explain an outline about the description of the crystal structure investigated experimentally. In addition, this description is in agreement with the description of the semi-conductor layer which forms the barrier layer of TFT completed by this example.

[0145] The above-mentioned crystalline substance silicone film has two or more needlelike or crystal structures which rod-like crystals (it is hereafter written as a cylindrical crystal) gathered, and were located in a line, if it sees microscopically. This can be easily checked by observation by TEM (transmission electron microscopy).

[0146] Since the crystalline substance silicone film of this example can be regarded as there being extremely few defects in crystal grain, and the grain boundary not existing substantially, it may be considered to be a single crystal silicone film or a substantial single crystal silicone film.

[0147] In addition, the configuration of this example can be freely combined with any configuration of examples 1-4.

[0148] It is also possible to use, in case [example 6] this invention forms an interlayer insulation film on the conventional MOSFET and TFT is formed on it. That is, it is also possible to realize the semiconductor device of the three-dimensional structure. Moreover, it is also possible to use SOI substrates, such as SIMOX, Smart-Cut (trademark of SOITEC), and ELTRAN (trademark of canon incorporated company), as a substrate.

[0149] In addition, the configuration of this example can be freely combined with any configuration of examples 1-5.

[0150] [Example 7] this invention can also be applied to a active-matrix mold EL display. The example is shown in drawing 12.

[0151] Drawing 12 is the circuit diagram of a active-matrix mold EL display. 81 expresses the pixel circuit and the direction drive circuit 82 of X and the direction drive circuit 83 of Y are formed around it. Moreover, each pixel of the pixel circuit 81 has TFT84 for switching, a capacitor 85, TFT86 for current control, and an organic EL device 87, and direction signal-line of X 88a (or 88b) and direction signal-line of Y 89a (or 89b and 89c) are connected to TFT84 for switching. Moreover, in TFT86 for current control, they are power-source line 90a and 90b. It connects.

[0152] In the active-matrix mold EL display of this example, TFT used for the direction drive circuit 82 of X, the direction drive circuit 83 of Y, or TFT86 for current control is formed combining the p channel mold TFT301 of drawing 9 (B), and the n channel mold 302 or TFT 303. Moreover, TFT of TFT84 for switching is formed with the n channel mold TFT804 of drawing 9 (B).

[0153] In addition, which configuration of examples 1-6 may be combined to the active-matrix mold EL display of this example.

[0154] The liquid crystal display produced by [example 8] this invention can use various liquid crystal ingredients. As such an ingredient, the mixture (antiferroelectricity liquid crystal mixture) of TN liquid crystal, PDLC (polymer distributed liquid crystal) and FLC (ferroelectric liquid crystal), AFLC (anti-

\*\*\*\*\*) or FLC, and AFLC is mentioned.

[0155] For example "H. Furue et al.; Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC/D Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998", "T. Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LC/D Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997", "S. Inui et al.; Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J. Mater. Chem. 6(4), The ingredient indicated by 1996" or U.S. Pat. No. 5,594,569 can be used.

[0156] what shows the electro-optics response characteristic of a V character mold (or U character mold) to the non-threshold antiferroelectricity liquid crystal mixture (Thresholdless Antiferroelectric LCD : write it as TL-AFLC) in which the electro-optics response characteristic from which permeability changes continuously to electric field especially is shown -- it is -- the driver voltage -- about -- the about [  $\sim 2.5V$  ] (about 1 micrometer - 2 micrometers of cell thickness) thing is also found out.

Therefore, possibility of the supply voltage for pixel circuits being managed with about 5-8V, and operating a drive circuit and a pixel circuit with the same supply voltage is suggested. That is, low-power-ization of the whole liquid crystal display can be attained.

[0157] Moreover, a ferroelectric liquid crystal and antiferroelectricity liquid crystal have the advantage that a speed of response is quick compared with TN liquid crystal. Since TFT which is used by this invention can realize TFT with a very quick working speed, it can realize a liquid crystal display with the quick image speed of response which fully employed the speed of the speed of response of a ferroelectric liquid crystal or antiferroelectricity liquid crystal efficiently.

[0158] Moreover, generally, non-threshold antiferroelectricity liquid crystal mixture has large spontaneous polarization, and its dielectric constant of the liquid crystal itself is high. For this reason, in using non-threshold antiferroelectricity liquid crystal mixture for a liquid crystal display, comparatively big retention volume is needed for a pixel. Therefore, it is desirable to use non-threshold antiferroelectricity liquid crystal mixture with small spontaneous polarization. Since the retention volume shown by drawing 9 (B) of an example 5 in such semantics can accumulate a big capacity in a small area, it is desirable.

[0159] In addition, it cannot be overemphasized that it is effective to use the liquid crystal display of this example as a display of electronic equipment, such as a personal computer.

[0160] Moreover, the configuration of this example can be freely combined with any configuration of examples 1-7.

[0161] [Example 9] this example explains the example which produced EL (electroluminescence) display using this invention. In addition, drawing 13 (A) is the plan of EL display of this invention, and drawing 13 (B) is the sectional view.

[0162] In drawing 13 (A), for 4001, as for a picture element part and 4003, a substrate and 4002 are [ a source side drive circuit and 4004 ] gate side drive circuits, and each drive circuit results in FPC (flexible print circuit) 4006 through wiring 4005, and is connected to an external instrument.

[0163] At this time, as a picture element part 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 are surrounded, the 1st sealant 4101, the covering material 4102, a filler 4103, and the 2nd sealant 4104 are formed.

[0164] Moreover, drawing 13 (B) is drawing 13 (A) A-A' It is equivalent to the cut sectional view, and TFT4202 for current control (TFT which controls the current to an EL element) contained in the drive TFT (however, n channel mold TFT and p channel mold TFT are illustrated here.) 4201 included in the source side drive circuit 4003 and a picture element part 4002 is formed on the substrate 4001.

[0165] In this example, TFT of the same structure as the p channel mold TFT of drawing 9 or the n channel mold TFT is used for drive TFT4201, and TFT of the same structure as the p channel mold TFT of drawing 9 is used for TFT4202 for current control. Moreover, the retention volume (not shown) connected to the gate of TFT4202 for current control is prepared in a picture element part 4002.

[0166] On drive TFT4201 and a pixel TFT4202, the interlayer insulation film (flattening film) 4301 which becomes with an organic resin ingredient is formed, and the pixel electrode (anode plate) 4302 electrically connected with the drain of a pixel TFT4202 is formed on it. As a pixel electrode 4302, the

large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparence electric conduction film.

[0167] And an insulator layer 4303 is formed on the pixel electrode 4302, and, as for the insulator layer 4303, opening is formed on the pixel electrode 4302. In this opening, the EL (electroluminescence) layer 4304 is formed on the pixel electrode 4302. The EL layer 4304 can use a well-known organic electroluminescence ingredient or inorganic EL ingredient. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic electroluminescence ingredient.

[0168] The formation approach of the EL layer 4304 should just use a well-known vacuum evaporations technique or the applying method technique. Moreover, what is necessary is just to make structure of EL layer into a laminated structure or monolayer structure, combining freely a hole injection layer, an electron hole transportation layer, a luminous layer, an electronic transportation layer, or an electronic injection layer.

[0169] On the EL layer 4304, the cathode 4305 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4305 and the EL layer 4304, or oxygen, eliminating as much as possible is desirable. Therefore, the device of carrying out continuation membrane formation of both in a vacuum, or forming the EL layer 4304 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4305, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0170] And cathode 4305 is electrically connected to wiring 4005 in the field shown by 4306. Wiring 4005 is wiring for giving a predetermined electrical potential difference to cathode 4305, and is electrically connected to FPC4006 through the anisotropic conductive film 4307.

[0171] The EL element which consists of the pixel electrode (anode plate) 4302, an EL layer 4304, and cathode 4305 as mentioned above is formed. This EL element is surrounded by the covering material 4102 stuck on the substrate 4001 by the 1st sealant 4101 and the 1st sealant 4101, and is enclosed by the filler 4103.

[0172] As covering material 4102, glass material, metal material (typically stainless steel material), ceramic material, and plastics material (plastic film is also included) can be used. As plastics material, an FRP (Fiberglass-Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic resin film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil with the PVF film or the Mylar film can also be used.

[0173] However, covering material must be transparent when the direction of a light emission from an EL element goes to a covering material side. In that case, transparence matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0174] Moreover, as a filler 4103, ultraviolet-rays hardening resin or heat-curing resin can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the matter which can adsorb the hygroscopic matter (preferably barium oxide) or oxygen is prepared in the interior of this filler 4103, degradation of an EL element can be controlled.

[0175] Moreover, a spacer may be made to contain in a filler 4103. At this time, if a spacer is formed with the barium oxide, it is possible to give hygroscopicity to the spacer itself. Moreover, when a spacer is formed, it is also effective to prepare the resin film on cathode 4305 as a buffer layer which eases the pressure from a spacer.

[0176] Moreover, wiring 4005 is electrically connected to FPC4006 through the anisotropic conductive film 4307. Wiring 4005 tells the signal sent to a picture element part 4002, the source side drive circuit 4003, and the gate side drive circuit 4004 to FPC4006, and is electrically connected with an external

instrument by FPC4006.

[0177] Moreover, in this example, the 2nd sealant 4104 is formed so that the disclosure section of the 1st sealant 4101 and a part of FPC4006 may be covered, and it has structure which intercepts an EL element from the open air thoroughly. In this way, it becomes EL display which has the cross-section structure of drawing 13 (B).

[0178] In addition, EL display of this example may be produced combining which configuration of examples 1-7.

[0179] [Example 10] It is here, and top-face structure is shown in drawing 15 (A), and a circuit diagram is shown for the still more detailed cross-section structure of a picture element part in drawing 15 (B) at drawing 14. What is necessary is just to refer to mutually in drawing 14, drawing 15 (A), and drawing 15 (B), since a common sign is used.

[0180] In drawing 14, TFT4402 for switching prepared on the substrate 4401 is formed using the n channel mold TFT of drawing 9. Therefore, just refer to the explanation of the n channel mold TFT for explanation of structure. Moreover, wiring shown by 4403 is gate electrode 4404a of TFT4402 for switching, and 4404b. It is gate wiring connected electrically.

[0181] In addition, although considered as the double-gate structure where two channel formation fields are formed, in this example, you may be the single gate structure or the triple gate structure formed three where one channel formation field is formed.

[0182] Moreover, the drain wiring 4405 of TFT4402 for switching is electrically connected to the gate electrode 4407 of TFT4406 for current control. In addition, TFT4406 for current control is formed using the p channel mold TFT of drawing 9. Therefore, just refer to the explanation of the p channel mold TFT for explanation of structure. In addition, although considered as single gate structure in this example, you may be double-gate structure or triple gate structure.

[0183] The 1st passivation film 4408 is formed on TFT4402 for switching, and TFT4406 for current control, and the flattening film 4409 which consists of resin is formed on it. It is very important to carry out flattening of the level difference by TFT using the flattening film 4409. Since EL layer formed behind is very thin, poor luminescence may be caused when a level difference exists. Therefore, before forming a pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0184] Moreover, 4410 is a pixel electrode (anode plate of an EL element) which consists of transparency electric conduction film, and is electrically connected to the drain wiring 4417 of TFT4406 for current control. As transparency electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparency electric conduction film.

[0185] The EL layer 4411 is formed on the pixel electrode 4410. In addition, although only 1 pixel is illustrated in drawing 14, EL layer corresponding to each color of R (red), G (green), and B (blue) is made and divided in this example. Moreover, in this example, the low-molecular system organic electroluminescence ingredient is formed with vacuum deposition. It is considering as the laminated structure which prepared the copper-phthalocyanine (CuPc) film of 20nm thickness as a hole injection layer, and specifically prepared the tris-8-quinolinolato aluminum complex (Alq3) film of 70nm thickness as a luminous layer on it. Alq3 The luminescent color is controllable by adding fluorochromes, such as Quinacridone, perylene, or DCM1.

[0186] However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL layer, and there is no need of limiting to this. What is necessary is just to form EL layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer. For example, although this example showed the example which uses a low-molecular system organic electroluminescence ingredient as an EL layer, a macromolecule system organic electroluminescence ingredient may be used. Moreover, it is also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic electroluminescence ingredients and inorganic materials can use a well-known ingredient.

[0187] Next, on the EL layer 4411, the cathode 4412 which consists of electric conduction film is formed. In the case of this example, the alloy film of aluminum and a lithium is used as electric conduction film. Of course, the well-known MgAg film (alloy film of magnesium and silver) may be used. What is necessary is just to use the electric conduction film which added the electric conduction film which consists of an element belonging to one group of a periodic table, or two groups as a cathode material, or those elements.

[0188] When formed to this cathode 4412, EL element 4413 is completed. In addition, EL element 4413 here points out the capacitor formed in the pixel electrode (anode plate) 4410, the EL layer 4411, and cathode 4412.

[0189] Next, the top-face structure of the pixel in this example is explained using drawing 15 (A). The source field of TFT4402 for switching is connected to source wiring 4415, and a drain is connected to the drain wiring 4405. Moreover, the drain wiring 4405 is electrically connected to the gate electrode 4407 of TFT4406 for current control. Moreover, the source field of TFT4406 for current control is electrically connected to the current supply source line 4416, and a drain is electrically connected to the drain wiring 4417. Moreover, the drain wiring 4417 is electrically connected to the pixel electrode (anode plate) 4418 shown by the dotted line.

[0190] Retention volume is formed in the field shown by 4419 at this time. Retention volume 4419 is formed between the insulator layer (not shown) of the same layer as the semi-conductor film 4420 and gate dielectric film which were electrically connected with the current supply source line 4416, and the gate electrode 4407. Moreover, the capacity formed by the same layer (not shown) as the gate electrode 4407 and the 1st interlayer insulation film and the current supply source line 4416 can also be used as retention volume.

[0191] [Example 11] This example explains EL display with pixel structure which is different in an example 10. Drawing 16 is used for explanation. In addition, what is necessary is just to refer to explanation of an example 10 about the part to which the same sign as drawing 14 is given.

[0192] In drawing 16, TFT of the same structure as the n channel mold TFT of drawing 9 is used as TFT4501 for current control. Of course, the gate electrode 4502 of TFT4501 for current control is electrically connected to the drain wiring 4405 of TFT4402 for switching. Moreover, the drain wiring 4503 of TFT4501 for current control is electrically connected to the pixel electrode 4504.

[0193] In this example, the pixel electrode 4504 which consists of electric conduction film functions as cathode of an EL element. What is necessary is just to specifically use the electric conduction film which added the electric conduction film which consists of an element belonging to one group of a periodic table, or two groups, or those elements, although the alloy film of aluminum and a lithium is used.

[0194] The EL layer 4505 is formed on the pixel electrode 4504. In addition, although only 1 pixel is illustrated in drawing 16, EL layer corresponding to G (green) is formed by vacuum deposition and the applying method (preferably spin coating method) in this example. It is considering as the laminated structure which prepared the lithium fluoride (LiF) film of 20nm thickness as an electronic injection layer, and specifically prepared the PPV (poly para-phenylene vinylene) film of 70nm thickness as a luminous layer on it.

[0195] Next, on the EL layer 4505, the anode plate 4506 which consists of transperance electric conduction film is formed. In the case of this example, the electric conduction film which consists of a compound of indium oxide and the tin oxide or a compound of indium oxide and a zinc oxide as transperance electric conduction film is used.

[0196] When formed to this anode plate 4506, EL element 4507 is completed. In addition, EL element 4507 here points out the capacitor formed in the pixel electrode (cathode) 4504, the EL layer 4505, and the anode plate 4506.

[0197] When the electrical potential difference applied to an EL element is a high voltage more than of 10V, degradation by the hot carrier effect actualizes in TFT4501 for current control. In such a case, it is effective to use the n channel mold TFT of the structure of this invention as TFT4501 for current control. It is also possible to give a function equivalent to the retention volume 4418 shown in drawing

15 (A) and (B) by carrying out. Since it is smaller than the case where the capacitance of retention volume makes it operate by the analog drive method and ends when operating EL indicating element by the digital drive method especially, gate capacitance can be substituted for retention volume.

[0198] In addition, since degradation by the above-mentioned hot carrier effect stops posing a problem so much when the electrical potential difference applied to an EL element becomes less than [ 5V ] preferably below 10V, the n channel mold TFT of the structure which omitted the LDD field 4509 in drawing 16 may be used.

[0199] [Example 12] this example shows the example of the pixel structure where it can use for the picture element part of EL display shown in the example 10 or the example 11 to drawing 17 (A) - (C). in addition, this example -- setting -- 4601 -- in gate wiring of TFT4602 for switching, and 4604, a capacitor, and 4606 and 4608 make it as a current supply source line, and 4607 makes TFT for current control, and 4605 an EL element for the source wiring of TFT4602 for switching, and 4603.

[0200] Drawing 17 (A) is an example at the time of making the current supply source line 4606 common between two pixels. That is, the description is formed so that two pixels may serve as axial symmetry focusing on the current supply source line 4606. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0201] Moreover, drawing 17 (B) is an example at the time of forming the current supply source line 4608 in parallel with the gate wiring 4603. In addition, although it has structure established so that the current supply source line 4608 and the gate wiring 4603 might not lap in drawing 17 (B), if it is wiring formed in the layer from which both differ, it can also prepare so that it may lap through an insulator layer. In this case, since the current supply line 4608 and the gate wiring 4603 can be made to share monopoly area, a picture element part can be further made highly minute.

[0202] Moreover, drawing 17 (C) forms the current supply source line 4608 in parallel with the gate wiring 4603 like the structure of drawing 17 (B), and the description is that it forms two pixels further so that it may become axial symmetry focusing on the current supply source line 4608. Moreover, it is also effective to form the current supply source line 4608 so that it may lap with either of the gate wiring 4603. In this case, since the number of a current supply line can be reduced, a picture element part can be further made highly minute.

[0203] [Example 13] An example 9 thru/or EL display of any 1 of 12 are good also as structure which prepared how many TFT(s) in one pixel. For example, three thru/or six, or TFT beyond it may be prepared. This invention can be carried out without being limited to the pixel structure of EL display.

[0204] The CMOS circuit and picture element part which were formed by carrying out the [example 14] invention in this application can be used for various electro-optic devices (an active matrix liquid crystal display, a active-matrix mold EL display, active-matrix mold EC display). That is, the invention in this application can be carried out on all the electronic equipment that built these electro-optic devices into the display.

[0205] As such electronic equipment, a video camera, a digital camera, a projector (a rear mold or front mold), a head mount display (goggles mold display), car navigation, a car stereo, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 18, drawing 19, and drawing 20.

[0206] Drawing 18 (A) is a personal computer and contains a body 2001, the image input section 2002, a display 2003, and keyboard 2004 grade. This invention is applicable to the drive circuit of the image input section 2002, a display 2003, or others.

[0207] Drawing 18 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and television section 2106 grade. This invention is applicable to the drive circuit of a display 2102 or others.

[0208] Drawing 18 (C) is a mobile computer (Mobile computer), and contains a body 2201, the camera section 2202, the television section 2203, the actuation switch 2204, and display 2205 grade. This invention is applicable to the drive circuit of a display 2205 or others.

[0209] Drawing 18 (D) is a goggles mold display, and contains a body 2301, a display 2302, and arm section 2303 grade. This invention is applicable to the drive circuit of a display 2302 or others.

[0210] Drawing 18 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and contains a body 2401, a display 2402, the loudspeaker section 2403, a record medium 2404, and actuation switch 2405 grade. In addition, this player can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to the drive circuit of a display 2402 or others.

[0211] Drawing 18 (F) is a digital camera and contains a body 2501, a display 2502, an eye contacting part 2503, the actuation switch 2504, the television section (not shown), etc. The invention in this application is applicable to the drive circuit of a display 2502 or others.

[0212] Drawing 19 (A) is a front mold projector, and contains a projection device 2601 and screen 2602 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2601.

[0213] Drawing 19 (B) is a rear mold projector, and contains a body 2701, a projection device 2702, a mirror 2703, and screen 2704 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2702.

[0214] In addition, drawing 19 (C) is drawing having shown an example of the structure of the projection devices 2601 and 2702 in drawing 19 (A) and drawing 19 (B). Projection devices 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804-2806, a dichroic mirror 2803, prism 2807, a liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 19 (C).

[0215] Moreover, drawing 19 (D) is drawing having shown an example of the structure of the light source optical system 2801 in drawing 19 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light source 2812, the lens arrays 2813 and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 19 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0216] However, in the projector shown in drawing 19, the case where the electro-optic device of a transparency mold is used is shown, and the example of application in the electro-optic device and EL display of a reflective mold is not illustrated.

[0217] Drawing 20 (A) is a cellular phone and contains a body 2901, the voice output section 2902, the voice input section 2903, a display 2904, the actuation switch 2905, and antenna 2906 grade. The invention in this application is applicable to the drive circuit of the voice output section 2902, the voice input section 2903, a display 2904, or others.

[0218] Drawing 20 (B) is pocket books (digital book), and contains a body 3001, displays 3002 and 3003, a storage 3004, the actuation switch 3005, and antenna 3006 grade. This invention is applicable to the signal circuit of displays 3002 and 3003 or others.

[0219] Drawing 20 (C) is a display and contains a body 3101, susceptor 3102, and display 3103 grade. This invention is applicable to a display 3103. Especially the display of this invention is advantageous when it big-screen-izes, and it is advantageous to the display of 10 inches or more (especially 30 inches or more) of vertical angles.

[0220] As mentioned above, the applicability of the invention in this application is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 - 13 throats, it is realizable.

[0221]

[Effect of the Invention] Thus, it is realizable by using an organic material for an interlayer insulation film, and using the 1st metal membrane as a mask of a dry etching process to form a contact hole (for a

diameter to have preferably 2 micrometers - 0.1 micrometers 3 micrometers or less) minuter than before.

[0222] Moreover, in this invention, since the 1st interlayer insulation film is formed with the organic material, as compared with the case where an inorganic material is used, flattening can fully be carried out. Furthermore, if the 2nd and 3rd interlayer insulation film is formed with an organic material, since a pixel electrode can be formed in the field by which flattening was fully carried out, positive rubbing processing can be performed and turbulence of liquid crystal orientation can be suppressed.

[0223] moreover, the 2nd metal layer -- comparing -- low -- wiring can be formed into low resistance by using a metallic material [ \*\*\*\* ] as the 1st metal membrane. In addition, poor contact can be reduced by using the metallic material which can form a semi-conductor layer (for example, silicon) and a good contact interface as the 2nd metal membrane.

[0224] Moreover, since a selection ratio with the semi-conductor layer which uses an organic material and silicon as a principal component can be taken enough, a minute contact hole can be formed and size of a display device can be made small. Consequently, it is realizable to enlarge a numerical aperture.

---

[Translation done.]



## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

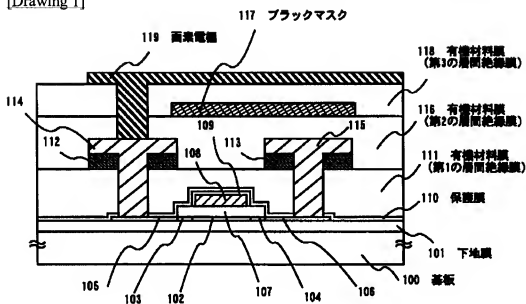
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

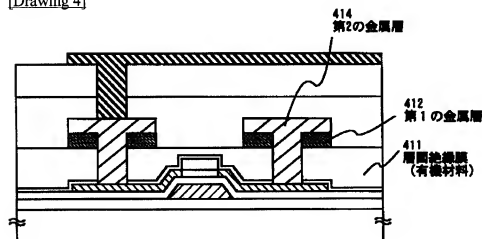
3.In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

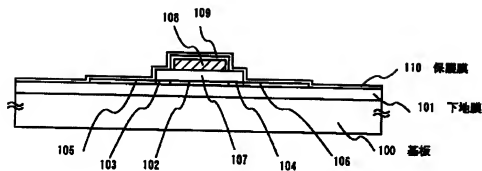


[Drawing 4]

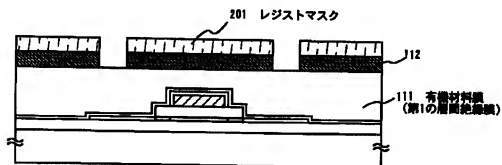


[Drawing 2]

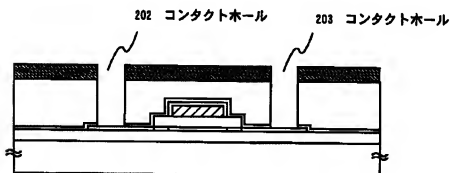
(A)



(B)

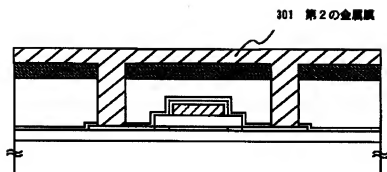


(C)

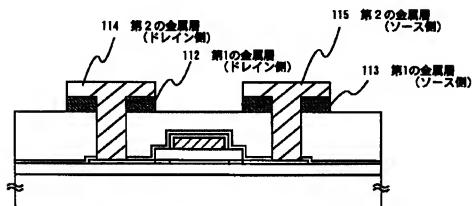


[Drawing 3]

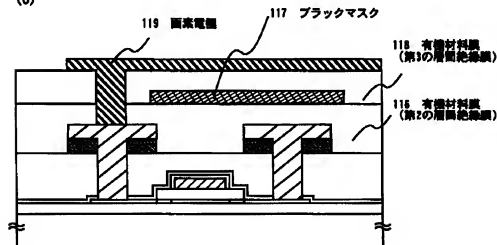
(A)



(B)

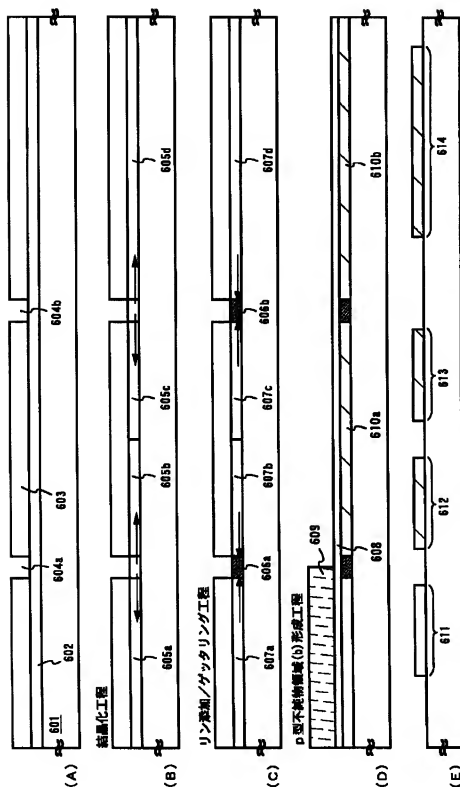


(C)



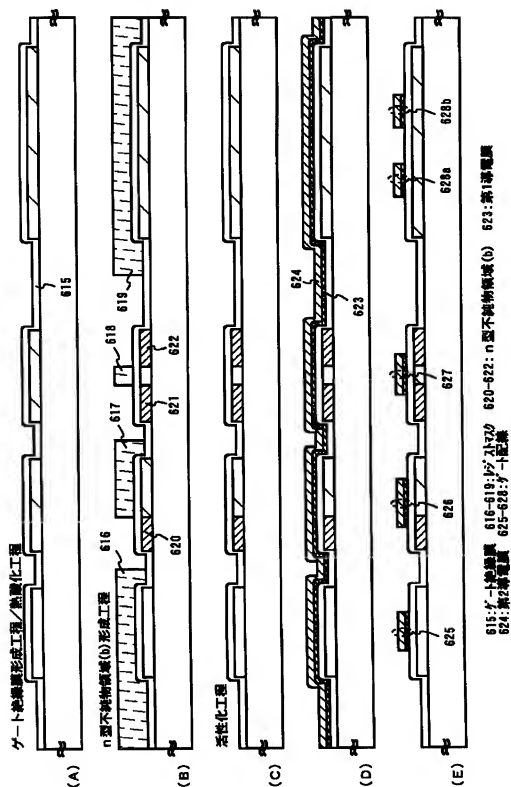
[Drawing 5]



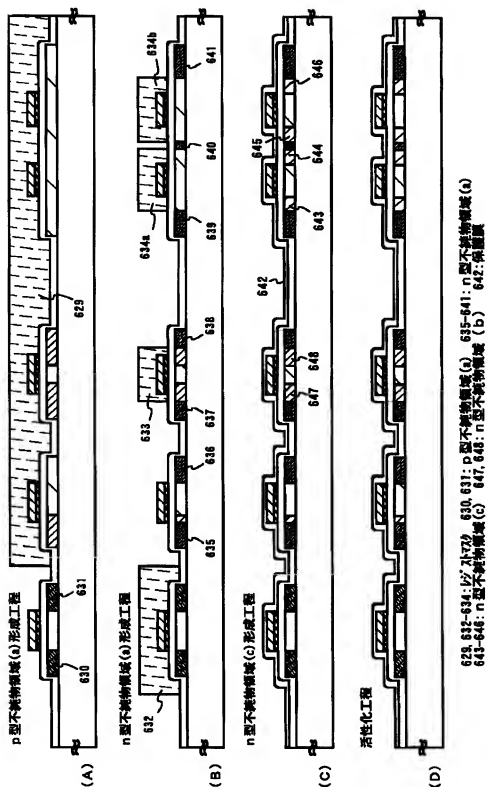


601:基板 602:非晶質シリコン 603:720膜 604a, 604b:開口部 605a-605d:結晶質シリコン 606a, 606b:リン添加領域  
 607a-607c:ゲッタリング後の結晶質シリコン 608:保護膜 609:1μm Al<sub>2</sub>O<sub>3</sub> 610-614:活性層

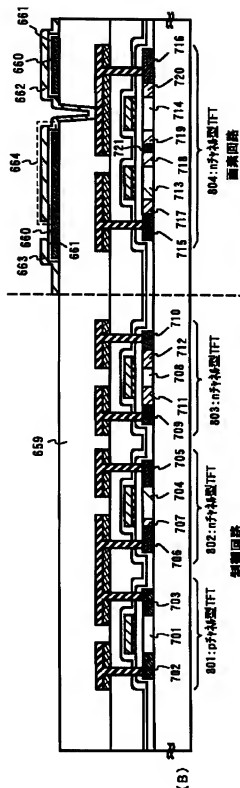
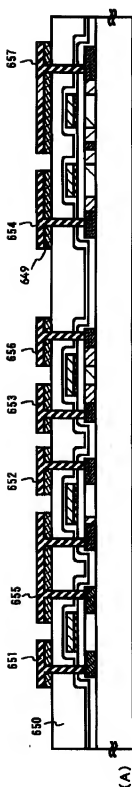
[Drawing 7]



[Drawing 8]



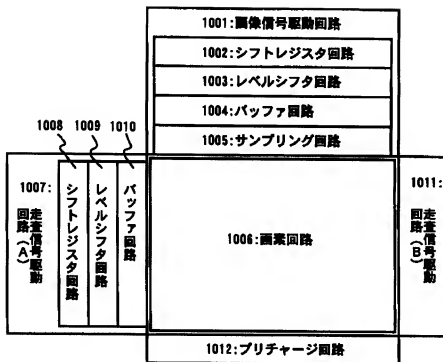
[Drawing 9]



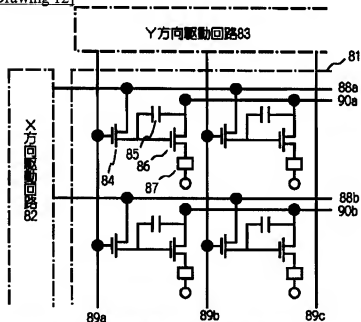
801: p<sup>+</sup>-type TFT  
802: n<sup>+</sup>-type TFT  
803: n<sup>+</sup>-type TFT  
804: n<sup>+</sup>-type TFT  
面素回路  
第1層面絶縁膜 651-654: γ-2配線 655-657: γ-1配線 659: 第2層面絶縁膜  
660: 通孔層 661: 有機化合物 662, 663: 面素電極 664: 保持電層  
701, 704, 708, 713, 714: 有機化合物形成領域 702, 705, 709, 715: γ-2配線  
707, 711, 712: n型不純物領域 (b) 717-720: n型不純物領域 (c) 721: n型不純物領域 (a)

[Drawing 11]



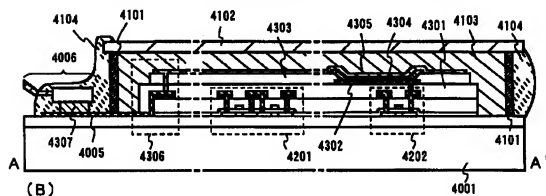
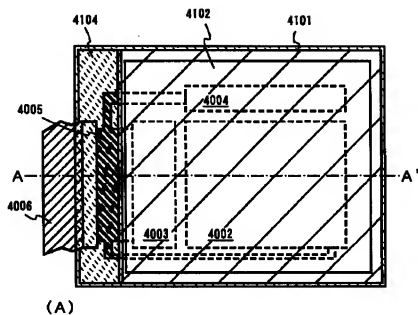


[Drawing 12]

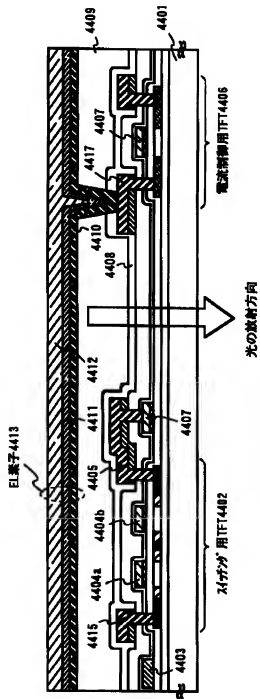


81: 画素回路 82: X方向駆動回路 83: Y方向駆動回路  
 84: インプット用TFT 85: 出力用TFT 86: 電流制御用TFT 87: 有源EL素子  
 88a, 88b: X方向信号線 89a~89c: Y方向信号線 90a, 90b: 電源線

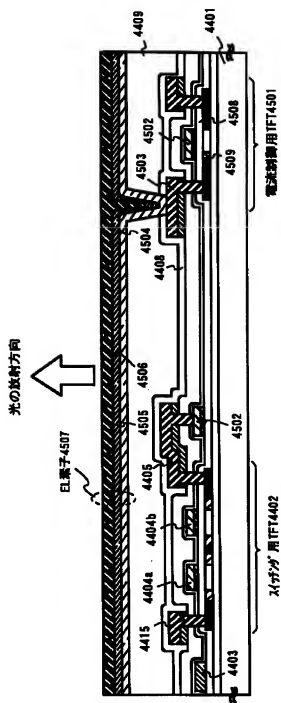
[Drawing 13]



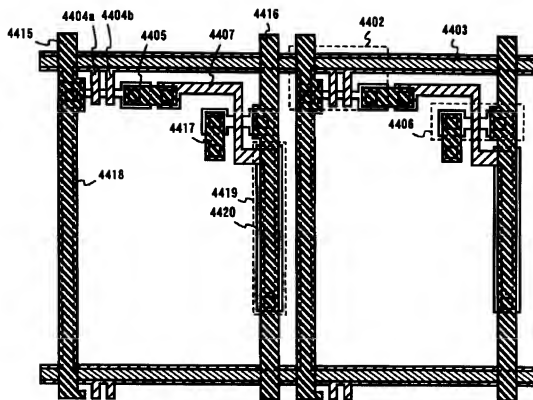
[Drawing 14]



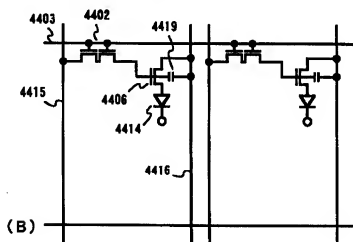
[Drawing 16]



[Drawing 15]

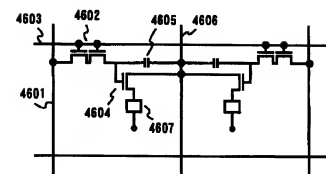


(A)

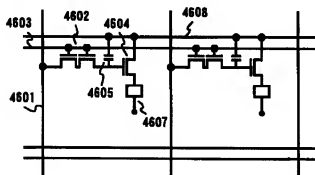


(B)

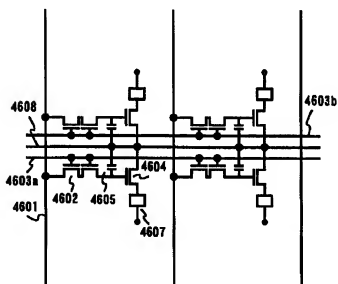
[Drawing 17]



(A)

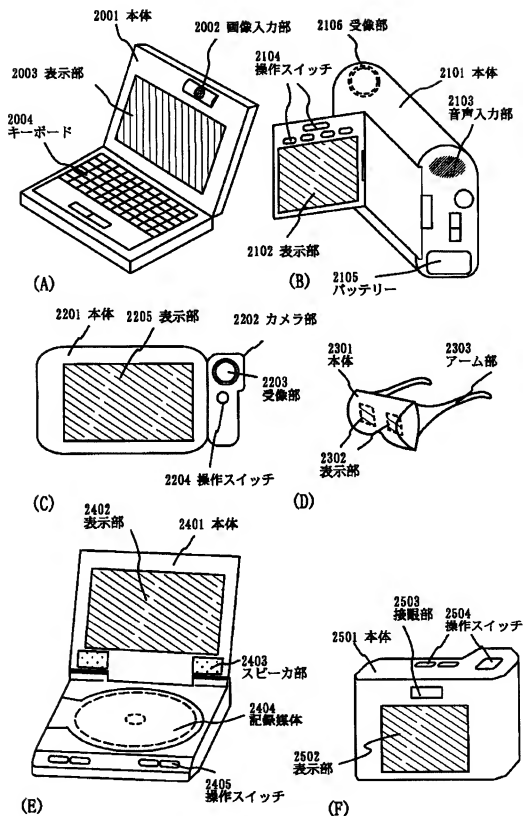


(B)

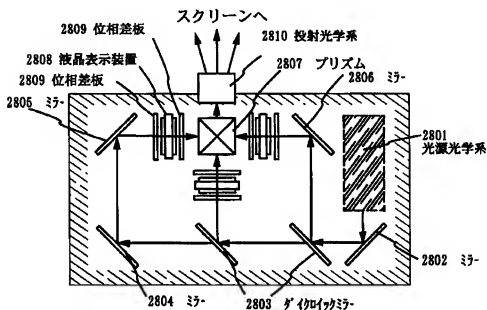
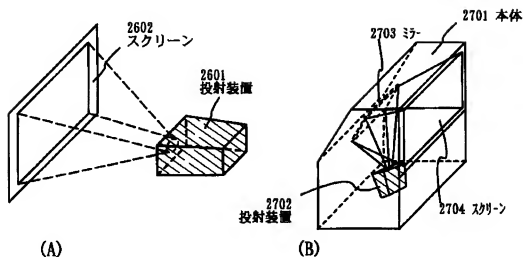


(C)

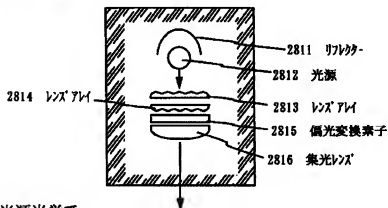
[Drawing 18]



[Drawing 19]



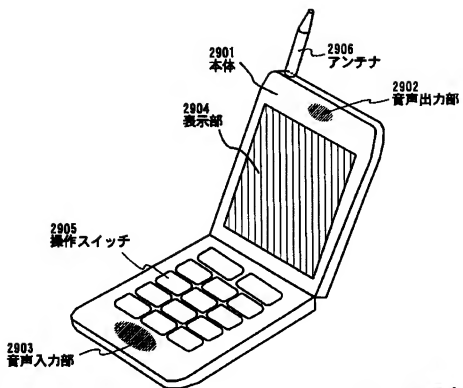
(C) 投射装置 (三板式)



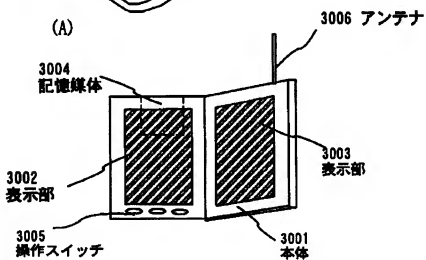
(D) 光源光学系

[Drawing 20]

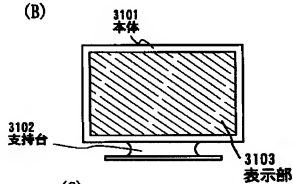




(A)



(B)



(C)

[Translation done.]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349301

(P2000-349301A)

(43) 公開日 平成12年12月15日 (2000.12.15)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	チエコード (参考)
H 01 L 29/786		H 01 L 29/78	6 1 6 T
G 02 F 1/136		G 02 F 1/136	
G 09 F 9/00	3 3 8	G 09 F 9/00	3 3 8
	3 4 8		3 4 8 A
H 01 L 21/768		H 01 L 21/90	A

審査請求 未請求 請求項の数11 O L (全 34 頁) 最終頁に続く

(21) 出願番号	特願2000-97689 (P2000-97689)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷308番地
(22) 出願日	平成12年3月31日 (2000.3.31)	(72) 発明者	大谷 久 神奈川県厚木市長谷308番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-94746	(72) 発明者	仲沢 美佐子 神奈川県厚木市長谷308番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成11年4月1日 (1999.4.1)	(72) 発明者	村上 智史 神奈川県厚木市長谷308番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

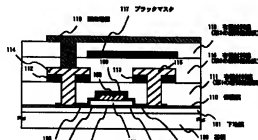
最終頁に続く

## (54) 【発明の名称】 半導体装置およびその作製方法

## (57) 【要約】

【課題】 微小なコンタクトホールを形成し、集積回路を微細化することを目的とする。

【解決手段】 スイッチング素子および各配線を覆う層間絶縁膜111として有機材料を用い、且つ、金属膜112のマスクを用い、ドライエッチング法によってコンタクトホールを形成し、配線114を形成する。



## 【特許請求の範囲】

【請求項1】導電性を有する材料層上に有機材料からなる層間絶縁膜と、前記層間絶縁膜上に第1の金属層と、前記第1の金属層上に第2の金属層とを有し、前記層間絶縁膜に設けられたコンタクトホール底部で前記導電性を有する材料層と前記第2の金属層が接続されていることを特徴とする半導体装置。

【請求項2】薄膜トランジスタ上に有機材料からなる層間絶縁膜と、前記層間絶縁膜上に第1の金属層と、前記第1の金属層上に第2の金属層と、前記層間絶縁膜に設けられたコンタクトホール底部で前記薄膜トランジスタのソース領域またはドレイン領域と前記第2の金属層が接続されていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第1の金属層はアルミニウムまたはアルミニウムを主成分とする材料からなることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記第2の金属層はチタンまたはチタンを主成分とする材料からなることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記層間絶縁膜はポリイミド、ポリイミドアミド、ポリアミド、アクリル、またはBCB（ベンゾシクロブテン）を主成分とする有機系の樹脂材料からなることを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかに記載された半導体装置とは、アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置またはアクティブマトリクス型EC表示装置であることを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれかに記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項8】絶縁表面上に薄膜トランジスタを形成する工程と、前記薄膜トランジスタを覆って有機材料からなる層間絶縁膜を成膜する工程と、前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、前記第1の金属膜をパターンニングし、第1の金属層を形成する工程と、前記第1の金属層をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、前記第1の金属層および前記第2の金属膜をパターンニングし、積層構造を一部有する配線を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項9】絶縁表面上に導電性を有する第1の材料層を形成する工程と、前記第1の材料層を覆って有機材料からなる層間絶縁膜を成膜する工程と、前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、前記第1の金

属膜をパターンニングし、第1の金属層を形成する工程と、前記第1の金属層をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、前記第2の金属膜を覆って、無機絶縁膜を成膜する工程と、前記第1の金属層と前記第2の金属膜と前記無機絶縁膜とをパターンニングし、上面に無機絶縁層を有する配線を形成する工程と、前記配線上に接して導電性を有する第2の材料層を形成し、前記無機絶縁層を誘電体として、前記配線と前記第2の材料層とで容量を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項10】請求項9において、前記無機絶縁膜は、CVD法で成膜することを特徴とする半導体装置の作製方法。

【請求項11】請求項8乃至10のいずれかにおいて、前記第1の金属膜および前記第2の金属膜は、スパッタリング法で成膜することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は、半導体装置の構成および作製方法に関する。特に半導体薄膜を利用したアクティブマトリクス型液晶表示装置およびその作製方法に関する。また、本発明は、そのような表示装置を具備した電気光学装置に応用することが可能である。

【0002】なお、本明細書中では半導体特性を利用して機能しうる装置全てを半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、TFT等の単体の半導体素子だけでなく、半導体素子で構成した半導体回路や電気光学装置およびそれらを部品として搭載した電気機器をも包含する。半導体素子としては薄膜トランジスタ（TFT）が代表的であるが、その他にも絶縁ゲート型電界効果トランジスタ（IGFET）、薄膜ダイオード、MIM素子、バリスタ素子が挙げられる。

## 【0003】

【従来の技術】近年、絶縁性基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）等の半導体素子を用いた半導体装置を製作する技術が急速に発達している。その理由は、液晶表示装置（代表的には、アクティブマトリクス型液晶表示装置）の需要が高まってきたことによる。アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十〜数百万個の表示画素に入力する電荷を表示画素のスイッチング素子により制御して画像を表示するものである。

【0004】また、半導体装置は、TFT等を用いて形成されたアクティブマトリクス回路、IC、ULSI、VLSIなどの集積回路を有しており、近年、これら集積回路は、益々微細化の一途をたどる傾向があり、サブ

ミクロン領域での加工寸法が要求されている。

【0005】そこで、集積回路における半導体素子の各部分のサイズ（配線幅、チャネル幅、コンタクトホール（の直径等）を縮小する試みがなされている。特に、微細化技術と多層配線技術とにより径の小さいコンタクトホールの底部で電気的接続をとる必要性が高まっている。

【0006】従来では、層間絶縁膜としてCVD法で成膜される絶縁膜（酸化珪素膜、窒化珪素膜等）がよく使用され、ドライエッチング法やウェットエッチング法を用いてコンタクトホールを形成している。

【0007】例えば、酸化珪素膜を薄膜トランジスタの第1の層間絶縁膜に使用する場合、コンタクトホールの形成には、層間絶縁膜と半導体層との選択比及び作業の容易さの点からウェットエッチング法を用いている。ドライエッチング法を用いた場合は、珪素を主成分としている半導体層と酸化珪素膜とは構成主成分が同じため、選択比が低く、膜厚の薄い半導体層が同時に除去される問題があった。

【0008】しかしながら、従来よりもさらに微小なコンタクトホールを形成しようとした場合、ウェットエッチング法は、等方性エッチングのため、オーバーエッチングが不可避的に発生してしまい、微細化を妨げていた。例えば、直径2μmのコンタクトホールを形成しようとした場合、膜厚等にもよるが約2倍以上の直径を有するコンタクトホールが形成されていた。

【0009】本発明は、特にサブミクロン領域での薄膜トランジスタの作製方法において、従来よりも微小なコンタクトホール（代表的には2〜3μm以下）形成方法に関するものである。

【0010】【発明が解決しようとする課題】本発明は、層間絶縁膜に有機材料を使用し、有機材料でなる層間絶縁膜にコンタクトホールをドライエッチング法を用いて形成する構成とするものである。

【0011】従来、ドライエッチング法においてレジストマスクを用いた場合は、構成成分が似ているため、有機材料膜とレジストマスクとの選択比が取りにくく、コンタクトホールの形成、特に微小なコンタクトホールの形成が困難であった。よって、有機材料からなる層間絶縁膜に設けるコンタクトホールの形成にレジストマスクを使用することは避けられていた。

【0012】本明細書で開示する発明は、上記問題を解決して微小なコンタクトホールを形成し、集積回路を微細化することを課題とする。

【0013】

【課題を解決するための手段】本明細書で開示する本発明の構成は、導電性を有する材料層上に有機材料からなる層間絶縁膜と、前記層間絶縁膜上に第1の金属層と、前記第1の金属層上に第2の金属層を有し、前記層間絶縁膜に設けられたコンタクトホールの底部で前記導電

性を有する材料層と前記第2の金属層が接続されていることを特徴とする半導体装置である。

【0014】即ち、上記構成は、前記層間絶縁膜及び前記第1の金属層に設けられたコンタクトホールの底部で前記導電性を有する材料層と前記第2の金属層が接していることを特徴としている。

【0015】さらに、他の発明の構成は、薄膜トランジスタ上に有機材料からなる層間絶縁膜と、前記層間絶縁膜上に第1の金属層と、前記第1の金属層上に第2の金属層と、前記層間絶縁膜に設けられたコンタクトホールの底部で前記薄膜トランジスタのソース領域またはドレイン領域と前記第2の金属層が接続されていることを特徴とする半導体装置である。

【0016】即ち、上記構成は、図1に示すように第1の層間絶縁膜111及び前記第1の金属層112に設けられたコンタクトホールの底部で前記薄膜トランジスタのソース領域105と前記第2の金属層114が接し、第1の層間絶縁膜111及び前記第1の金属層113に設けられたコンタクトホールの底部で前記薄膜トランジスタのドレイン領域106と前記第2の金属層115が接していることを特徴としている。

【0017】上記各構成における第1の金属層または第2の金属層としては、導電性を有する材料を用いることが可能である。例えば、Al、Ta、Ti、Cr、W、Mo、または導電性が付与されたシリコン等を主成分とする材料層またはそれらの積層層を用いることができる。なお、第1の金属層としては低抵抗な材料であるアルミニウムまたはアルミニウムを主成分とする材料で構成することが好ましい。

【0018】また、上記第2の金属層としては、コンタクト特性のよい材料であるタタンまたはタタンを主成分とする材料で構成することが好ましい。

【0019】上記各構成において、前記層間絶縁膜はポリイミド、ポリイミドアミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）を主成分とする有機系の樹脂材料からなることを特徴としている。

【0020】また、上記構成を実現するため発明の構成は、絶縁表面上に薄膜トランジスタを形成する工程と、前記薄膜トランジスタを覆って有機材料からなる層間絶縁膜を成膜する工程と、前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、前記第1の金属膜をパターンニングし、第1の金属膜を形成する工程と、前記第1の金属膜をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、前記第1の金属膜および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、前記第2の金属膜および前記第2の金属膜をパターンニングし、積層構造を一部有する配線を形成する工程とを有することを特徴とする半導体装置の作製方法である。

【0021】さらに、他の発明の構成は、絶縁表面上に

導電性を有する第1の材料層を形成する工程と、前記第1の材料層を覆って有機材料からなる層間絶縁膜を成膜する工程と、前記層間絶縁膜を覆って第1の金属膜を成膜する工程と、前記第1の金属膜をパターンニングし、第1の金属層を形成する工程と、前記第1の金属層をマスクとして、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程と、前記第1の金属層および前記コンタクトホールを覆って第2の金属膜を成膜する工程と、前記第2の金属膜を覆って、無機絶縁膜を成膜する工程と、前記第1の金属層と前記第2の金属膜と前記無機絶縁膜とをパターンニングし、上面に無機絶縁層を有する配線を形成する工程と、前記配線上に接して導電性を有する第2の材料層を形成し、前記無機絶縁層を誘電体として、前記配線と前記第2の材料層とで容量を形成する工程と、を有することを特徴とする半導体装置の作製方法である。

【0022】上記各構成において、前記無機絶縁膜は、CVD法で成膜することを特徴としている。

【0023】また、上記各構成において、前記第1の金属膜および前記第2の金属膜は、スパッタリング法で成膜することを特徴としている。

【0024】また、上記各構成において、前記層間絶縁膜をエッチングし、コンタクトホールを形成する工程は、ドライエッチング法で行うことを特徴としている。

【0025】なお、本明細書において、成膜形成した直後のものを「膜」と呼び、パターンニング施したものを「層」と呼んでいる。

【0026】

【発明の実施の形態】本発明の実施の形態を図1を用いて以下に説明する。

【0027】本発明の構成においては、スイッチング素子および各配線を覆う層間絶縁膜として有機材料からなる材料を用い、且つ、金属膜からなるマスクを用いて、ドライエッチング法によってコンタクトホールを形成することを特徴としている。

【0028】また、本発明の構成において有機材料膜上に存在している配線(112~115)は、少なくとも一部が積層構造(第1の金属層(下層)/第2の金属層(上層))である。なお、第1の金属層(112、113)が形成されている領域は、少なくとも積層構造である。また、コンタクトホール内部の配線は積層構造ではなく、第2の金属層(114、115)で構成され、ソース領域106またはドレイン領域105と接しており電氣的に接続されている。

【0029】本発明の構成での、第1の金属層(112、113)または第2の金属層(114、115)としては、導電性を有する材料を用いる。例えば、Al、Ta、Ti、Cr、W、MoまたはTiN等を主成分とする材料層またはそれらの積層膜を用いることができる。なお、第1の金属層としてはアルミニウムのような

低抵抗な材料で構成し、第2の金属層としては、成膜後の熱処理によってコンタクト界面から拡散せず、被覆性が良好な材料、例えばチタンを主成分とする材料で構成することが好ましい。

【0030】なお、本発明は、有機材料からなる層間絶縁膜(111、116、118)の下に存在する、絶縁基板並びに該基板上に作製された各配線、半導体素子(TFT)は如何なる構造、例えば、トップゲート型(プレーナ型、コプレーナ型、スタガー型)またはボトムゲート型(チャネルエッチ型、チャネルストップ型)であっても適用可能である。

【0031】次に、本発明のコンタクトホールの形成工程を図2及び図3を用いて以下に説明する。

【0032】まず、基板上に各段または半導体素子層を形成し、ポリイミド、ポリイミドアミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等の有機材料で構成される平坦な第1の層間絶縁膜111を成膜する。なお、これらの有機樹脂材料は熱硬化性であっても光硬化性であってもよい。本発明においては、異なる層間絶縁膜上に設けられた各信号配線との間で発生する寄生容量を低減するために、膜厚0.6~2μmの範囲を有する第1の層間絶縁膜111を設けることが好ましい。(図2(A))

【0033】こうして得られた第1の層間絶縁膜上に第1の金属膜を形成し、レジストマスク201を用いてパターンニングを施す。(図2(B))

【0034】その後、パターンニングの施された第1の金属膜204をマスクとしてドライエッチングを行い、コンタクトホール202、203を形成する。(図2(C))

この工程の際、コンタクトホールの形成と同時にレジストマスク201も除去できる。又、Al、Ti、Cr、W、またはTiNを第1の金属膜に用いた場合は、塩素系のエッチャントガスを用いてエッチングすればよい。Taを第1の金属膜に用いた場合は、フッ素系のエッチャントガスを用いてエッチングすればよい。なお、本発明は、その後の工程でマスクとして用いられた第1の金属膜に再度パターンニングを施し、配線の一部として使用することを特徴としている。

【0035】本発明においては、TFT構造は図1に示す構造に限定されるものではなく、例えば逆スタガ型TFTやシリサイド構造を有するような構造であっても実施者の必要に応じて本発明を適用することは容易である。

【0036】また、本明細書中では、樹脂材料でなる層間絶縁膜の除去を行うためにドライエッチング法を用いているが、エッチャントガスとして、塩素系、フッ素系、酸素、を必要に応じて適宜使用する。

【0037】本明細書中でいう塩素系のエッチャントガスとは、塩素若しくは塩素の一部を含む気体を指し、例えば、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、HCl、CCl<sub>4</sub>

4 等の単一気体若しくは混合気体、さらにこれらの単一気体若しくは混合気体を塩素を含まない気体（例えばH<sub>2</sub>、O<sub>2</sub>、N<sub>2</sub>等）で希釈したものを指す。

【0038】更に、本明細書中というフッ素系のエッチャントガスとは、フッ素若しくはフッ素を一部に含む気体を指し、例えば、F<sub>2</sub>、BF<sub>3</sub>、SiF<sub>4</sub>、HF、CF<sub>4</sub>等の単一気体若しくは混合気体、さらにこれらの単一気体若しくは混合気体を塩素を含まない気体（例えばH<sub>2</sub>、O<sub>2</sub>、N<sub>2</sub>等）で希釈したものを指す。

【0039】さらに、以下に示す実施例でもって半導体装置およびその作製方法の詳細な説明を行うものとする。

【0040】

【実施例】以下、本発明の実施例を説明するが、この実施例に限定されないことは勿論である。

【0041】【実施例1】本実施例では、絶縁性基板上に作製された本発明の半導体素子の断面構造図を図1を用いて説明する。

【0042】図中の100は基板であり、101が下地膜である。また、102はチャネル形成領域、103と104は低濃度不純物領域、105はドレイン領域、106はソース領域、107はゲート絶縁膜、108はゲート配線、109は陽極酸化膜、110は保護膜、111は有機材料膜（第1の層間絶縁膜）、112と113は第1の金属層、114と115は第2の金属層、116は有機材料膜（第2の層間絶縁膜）、117はブラックス、118は有機材料膜（第3の層間絶縁膜）、119は画素電極である。

【0043】本発明の配線（112〜115）は、有機材料膜上に接して設けられた第1の金属層（112、113）と該膜上に設けられた第2の金属層（114、115）との積層構造を有している。また、有機材料膜に設けられたコンタクトホールの内壁部分および底部に接して、第2の金属層（114、115）のみを成膜した構造を有している。

【0044】第1の金属層または第2の金属層としては、導電性を有する材料であれば特に限定されない。例えば、Al、Ta、Ti、Mo、WまたはCrを主成分とする材料層またはそれらの積層膜を用いることができる。本実施例では、第1の金属層としてAlを主成分とする材料を用いたため配線の低抵抗化が図れた。なお、Alを主成分とする材料は、平坦な表面に成膜するのは特に問題はないが、表面に凹凸を有する領域にスパッタ法で成膜した場合、凹凸部へのカバレッジが不良であり、且つ、コンタクト界面からアルミニウムが半導体層中に拡散する恐れがあるため、半導体層（例えばシリコン）に接して形成することは避けられている。

【0045】そこで、本実施例では第2の金属層として窒化チタン（TiN）を用いた。窒化チタンは、アルミニウムと比較して抵抗率は高いが、凹凸を有する領域へ

のカバレッジが良好であり、且つ、半導体層（例えばシリコン）とのコンタクト界面を良好なものとすることができた。

【0046】【実施例2】本実施例では、絶縁性表面を有する基板上に、半導体素子の作製工程、特にコンタクトホール形成工程および配線の形成工程を図2および図3を用いて以下に示す。

【0047】まず、絶縁表面を有する基板100上に下地膜101を形成する。基板としては、ガラス基板、石英基板、セラミックス基板、半導体基板を用いることができる。また、プロセス温度が耐えうる温度範囲内であるならプラスチック基板を用いてもよい。本実施例においてはガラス基板を用いた。下地膜は、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜を100〜300nmの膜厚で利用することができる。本実施例では、TEOSを原料に用い、酸化珪素膜を200nmの膜厚に形成する。なお、石英基板のように十分平坦性を有しているなら、下地膜は特に設けなくともよい。

【0048】次に、基板または下地膜上に活性層を形成する。活性層は膜厚が20〜100nm（好ましくは25〜70nm）の結晶性半導体膜（代表的には結晶性珪素膜）で構成すれば良い。結晶性珪素膜の形成方法は公知の如何なる手段を用いても良いが、本実施例では特開平9-312260号公報記載の技術を用い、50nmの膜厚に形成した。

【0049】こうして形成した結晶性珪素膜をパターンニングして活性層を形成し、ゲート絶縁膜107を形成する。ゲート絶縁膜は酸化珪素膜、窒化珪素膜、酸化窒化珪素膜またはこれらの積層膜を100〜300nmの膜厚で用いることができる。本実施例ではプラズマCVD法により窒化酸化珪素膜を150nmの膜厚にしてゲート絶縁膜107とした。

【0050】次に、アルミニウムまたはアルミニウムを主成分とする材料（本実施例では2wt%のスカンジウムを含有したターゲット）を使用して成膜した、膜厚400nmのアルミニウム膜（以下、Al膜）をスパッタ法により成膜し、パターンニングしてゲート配線108を形成した。

【0051】次に、特開平7-135318号公報記載の技術を用いて13族または15族元素を添加し、ソース領域106、ドレイン領域105、チャネル形成領域102、LDD（Lightly doped drain）領域103、104の形成を行った。本実施例ではソース領域、ドレイン領域とチャネル形成領域との間に0.5〜1.5μm（代表的には0.7〜1μm）のLDD領域103、104を形成した。また、本実施例では、ゲート配線108と接して陽極酸化膜109を形成したのが特に形成しなくともよい。

【0052】次に、活性層に添加した不純物元素（13族または15族元素）を熱アニールまたはレーザー照射によって活性化し、本実施例では、エキシマレーザを

用いて活性化させた後、さらに、450℃、2時間の熱アニールを行った。

【0053】その後、基板全面を覆って、保護膜110を形成する。保護膜としては、窒化珪素膜、窒化酸化珪素膜を用いることができる。本実施例では、保護膜となる窒化珪素膜を膜厚25nmで形成した。なお、保護膜成膜後の断面図を図2(A)に示した。

【0054】さらに、基板全面を覆って、第1の層間絶縁膜111として膜厚0.5〜3μmの有機材料膜を形成する。成膜方法は、スピナーを用いたスピンコーティング法を利用することにより、容易に表面が平坦な被膜を得ることができる。続いて、250℃、1時間加熱することにより焼成する。本実施例では、アクリルを1μmの膜厚に成膜した。また、第1の層間絶縁膜としてはアクリルの他にポリイミド、BCB(ベンゾシクロブテン)あるいは他の有機材料を使用することが可能である。

【0055】こうして得られた平坦な第1の層間絶縁膜の上に、第1の金属膜をRFスパッタ法で成膜する。その後、レジスト201を設け、ドライエッチングにより、第1の金属膜をパターンニングする。第1の金属膜は100nm〜2μm、本実施例では、アルミニウムを主成分とする金属膜を500nmの膜厚に成膜し、塩素系のエッチャントガスでドライエッチングした。(図2(B))

【0056】次に、パターンニングされた第1の金属膜112をマスクとしてドライエッチングを行い、第1の層間絶縁膜にコンタクトホール202、203を形成する。この工程によって同時に、第1の層間絶縁膜の材料と組成が似ている材料からなるレジストも除去される。(図2(C))なお、本実施例のように保護膜を設けた場合は、再度エッチングを行い、保護膜110を除去してコンタクトホール底部に半導体層(106、105)を露出させる。本実施例では保護膜である窒化珪素膜をRIE(reactive ion etching)等による異方性のドライエッチングによってエッチングした。エッチャントガスとしてはフッ素系、CHF<sub>3</sub>ガスを用いた。

【0057】また、工程数を低減するために、CF<sub>4</sub>と酸素とHeの混合ガスを用いて第1の層間絶縁膜及び保護膜を同時にエッチングすることが好ましい。

【0058】その後、第2の金属膜301をRFスパッタ法で成膜する。(図3(A))この工程によって、有機材料膜に設けられたコンタクトホール202の底部で、前記薄膜トランジスタのドレイン領域105と第2の金属膜とを接してコンタクトを形成する。第2の金属膜の膜厚は10nm〜1μm、本実施例ではTiN膜を150nmの膜厚に成膜した。

【0059】第1の金属層または第2の金属層としては、スパッタ法が適用できる導電性を有する材料であれば特に限定されない。例えば、Al、Ta、Ti、Cr

を主成分とする材料層またはそれらの積層膜を用いることができる。なお、同一の材料を用いて第1の金属層と第2の金属層を形成する構造としてもよい。

【0060】次に、パターンニングを施し、第1の金属膜と第2の金属膜をドライエッチングにより、エッチングしてソース電極とドレイン電極の電極パターンを形成した。本実施例では、塩素系のエッチャントガス、Cl<sub>2</sub>/BCl<sub>3</sub>/SiCl<sub>4</sub>を40sccm/10sccm/180sccmを用いてドライエッチングした。(図3(B))

【0061】こうして完成した配線(112〜115)は、有機材料膜上に接して設けられた第1の金属膜と該膜上に設けられた第2の金属膜との積層構造を有している。また、有機材料膜111に設けられたコンタクトホール202の内壁部分および底部に接して、第2の金属膜(114、115)のみを成膜した構造を有している。本実施例では、アルミニウムを主成分とする第1の金属膜を用いたため配線の低抵抗化が図れ、且つ、チタンを主成分とする第2の金属膜をコンタクトに使用し、良好なコンタクトを形成することができる。

【0062】そして、基板全面を覆って第2の層間絶縁膜116を形成する。なお第2の層間絶縁膜として膜厚0.5〜3μmの有機材料膜を形成する。本実施例では再びアクリルを膜厚1μmで成膜した。その上にブラックマス117としてTiをスパッタ法で成膜し、パターンニングする。

【0063】その後、基板全面を覆って第3の層間絶縁膜118を形成する。なお第3の層間絶縁膜として膜厚0.5〜3μmの有機材料膜を形成する。本実施例では再度アクリルを膜厚1μmで成膜した。

【0064】上記第2の層間絶縁膜及び第3の層間絶縁膜にドレイン電極と電気的に接続をするためのコンタクトホールを形成する。この工程は、フッ素系のエッチャントガス、本実施例ではCF<sub>4</sub>/O<sub>2</sub>/Heを5sccm/95sccm/40sccmを用いたドライエッチングにより行う。なお、本実施例のように第1の層間絶縁膜と第2の層間絶縁膜と第3の層間絶縁膜とを同一材料で形成すると、応力を抑制することができ、各層間絶縁膜同士で優れた密着性を得ることができる。

【0065】そして、画素電極119となる導電膜を形成し、配線(112〜115)を介してTFTのドレイン領域105と電気的に接続させた。(図3(C))本実施例では、この導電膜にITOを用い、透過型の液晶表示装置を作製したが、画素電極にAlやTi等の反射電極を用いて反射型の液晶表示装置を作製することも可能である。AlやTi等の反射電極は、スパッタ法を用いて形成すればよい。

【0066】以上の作製工程で画素電極に液晶駆動用の電圧を印加するためのスイッチング素子(TFT)を完成させ、複数の画素を形成して画素マトリクス回路を完成するアクティブマトリクス基板を完成した。画素マトリ



クス回路内の各素子には少なくとも一つのスイッチング素子と第1の保持容量とを配置すれば良い。なお、本明細書中では、図3(B)において構成された素子をスイッチング素子(代表的にはTFT、MIM素子でも良い)と呼ぶ。

【0067】なお、アクティブマトリクス基板上には画素マトリクス回路以外には駆動回路(ドライバー回路)や信号処理回路(γ補正回路、D/Aコンバータ等のロジック回路)を形成することが可能である。これらの回路の作製工程は、基本的には本実施例に示した作製工程と同一(実際には図3(B)の工程で完成する)であるため、詳細な説明は省略する。

【0068】また、本願発明はコンタクトホール形成および配線の構成に関する発明であるため、同一基板上に形成される他の素子(容量素子や記憶素子)の構成は如何なるものであっても良い。その様な回路の作製工程や構造は実施者が適宜決定すれば良い。

【0069】【実施例3】本実施例では、図4にその構造を示したように逆スタガ型のTFTを用いた例である。公知の技術により逆スタガ型TFTを作製する工程と異なる本実施例の工程は、層間絶縁膜411に有機材料を用いる工程と、金属膜をマスクとして用いてドライエッチングによりコンタクトホールを形成する工程と、第1の金属層412と第2の金属層414とで構成された配線の形成を行う工程を有している。なお、TFT構造は図4に示す構造(チャネルストップ型)に限定されるものではなく、例えばチャネルエッチ型TFTやシリサイド構造を有するような構造であっても実施者の必要に応じて本発明を適用することは容易である。

【0070】【実施例4】本実施例は、画素電極に液晶制御用の電圧を印加するためのスイッチング素子(TFT)と同時に保持容量を形成する例である。図5には、保持容量が作製されたコンタクト部分の断面図を明示した。

【0071】本実施例は、実施例1の図2(C)の工程と同一工程で作製されるため、記載および図面は省略する。

【0072】従来、CVD法等で作製される無機絶縁膜を有機材料膜の上に設ける際、表面に有機材料が露呈していると有機材料膜から水やメタン等のガスが発生し、良質な膜を得ることは難しかった。

【0073】本実施例においては、実施例2の図2(C)と同一の状態が得られたら、基板全面を覆って第2の金属膜をスパッタ法で成膜し、有機材料が露出した箇所を完全に無くし上記ガスの発生を防止した後、連続的にCVD法によって無機絶縁膜を成膜した。無機絶縁膜は、プラズマCVD法を用いて膜厚10~100nm、本実施例では酸化珪素膜を膜厚50nmに成膜した。無機絶縁膜は、単層でも良いし、二層以上の積層構造、例えば酸化珪素膜(F層)/酸化珪素膜(上層)と

しても良い。

【0074】次に、パターンニングを行い、上面が無機絶縁膜521で覆われた配線512、514を形成する。そして、基板全面を覆って第2の層間絶縁膜516を形成し、後に保持容量520を構成する部分のみに凹部を設けた。第2の層間絶縁膜は単層でも良いし、二層以上の積層構造としても良い。

【0075】本実施例では第2の層間絶縁膜として、アクリル膜(1μm)からなる絶縁膜を用いる。アクリルの代わりにポリイミド、BCB(ベンゾシクロブテン)等の他の有機材料を用いても構わない。

【0076】そして、凹部を形成するには、ドライエッチング法によりアクリル膜を開孔する。この時、酸化珪素膜521がエッチングストップとして機能する。従って、凹部の底面には酸化珪素膜が残る。本実施例の場合にはこの膜521を保持容量の誘電体として利用する。勿論、ウェットエッチングを用いても良い。また、ハーフエッチングにより凹部を形成して薄膜化された部分を保持容量の誘電体として使用しても良い。

【0077】こうして第2の層間絶縁膜に対して凹部を形成した後、所望の位置にブラックマスクを形成する。本実施例ではブラックマスク517としてチタンを用いるが、クロムやタンタル等の他の金属膜であっても良い。

【0078】この状態で、ドレイン電極512、514とブラックマスク517を上下電極とし、第2の層間絶縁膜521(正確には酸化珪素膜)を誘電体とする保持容量520が形成される。(図5)

【0079】こうして、画素電極に液晶制御用の電圧を印加するためのスイッチング素子(TFT)と同時に保持容量520を形成した。

【0080】また、上記各実施例における有機材料で構成された上記各層間絶縁膜は、単層でも良いし、二層以上の積層構造としても良い。

【0081】なお、本実施例は実施例1~3のいずれの構成とも自由に組み合わせることができ。

【0082】【実施例5】本発明の実施例について図6~図10を用いて説明する。ここでは、同一基板上に画素回路とその画素回路を駆動するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡便にするために、駆動回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0083】図6(A)において、基板601には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、80℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であ

ればどのような基板を用いても構わない。

【0084】そして、基板601のTFTが形成される表面には、20～100nm（好ましくは40～80nm）の厚さの非晶質構造を含む半導体膜602を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。

【0085】また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。さらに、基板上に下地膜と非晶質シリコン膜とを大気解放しなくで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0086】次に、非晶質シリコン膜602上に珪素（シリコン）を含む絶縁膜でなるマスク膜603を形成し、パターンニングによって開口部604a、604bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する金属元素を添加するための添加領域となる。（図6（A））

【0087】なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、 $\text{SiO}_x\text{N}_y$ で表される絶縁膜である。窒化酸化シリコン膜は $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{O}_2$ 及び $\text{NH}_3$ を原料ガスとして作製することが可能であり、含有する窒素濃度が2.5atonic%以上5.0atonic%未満とすると良い。

【0088】また、このマスク膜603のパターンニングを行うと同時に、後のパターンニング工程の際、位置の基準となるマーカーパターンを形成しておく。

【0089】次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する元素（ニッケル、コバルト、ゲルマニウム、銅、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0090】具体的には、非晶質構造を含む半導体膜の表面に結晶化を助長する金属元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0091】なお、同公報では結晶化を助長する金属元

素を含む層をマスク膜上に形成する際にスピコート法を用いているが、結晶化を助長する金属元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0092】また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atom%以下とすることが好ましい。

【0093】結晶化工程は、まず400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。

【0094】本実施例では、結晶化を助長する金属元素としてニッケルを用い、570℃で14時間の熱処理を行う。その結果、開口部604a、604bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）605a～605dが形成される。（図6（B））

【0095】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するグッタリング工程を行う。本実施例では、先ほど形成したマスク膜603をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部604a、604bで露出した結晶質シリコン膜に $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度でリンを含むリン添加領域（以下、グッタリング領域という）606a、606bを形成する。（図6（C））

【0096】次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのグッタリング作用によって、結晶質シリコン膜中からニッケルが除去されるため、グッタリング後の結晶質シリコン膜607a～607dに含まれるニッケル濃度は、 $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>にまで低減することができる。

【0097】次に、マスク膜603を除去し、結晶質シリコン膜607a～607d上に後の不純物添加のために保護膜608を形成する。保護膜608は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜608は不純物添加時に結晶質シリコン膜が直接プラズマに曝されるようにすると、微妙な濃度制御を可能にするための意味がある。

【0098】そして、その上にレジストマスク609を形成し、保護膜608を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不

純物元素としては、代表的には13族に属する元素、典型的には硼素またはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン( $B_2H_6$ )を質量分離しないでプラズマ励起したイオンドープ法で硼素を添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0099】この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ )の濃度でp型不純物元素(本実施例では硼素)を含む不純物領域610a、610bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域(但し、リンは含まれていない領域)をp型不純物領域(b)と定義する。(図6(D))

【0100】次に、レジストマスク609を除去し、結晶質シリコン膜をパターンニングして島状の半導体層(以下、活性層という)611~614を形成する。なお、活性層611~614は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲタリング作用により除去又は低減しており、活性層611~614中に残存するニッケル濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ である。(図6(E))

【0101】また、pチャネル型TFTの活性層611は意図的に添加された不純物元素を含まない領域であり、nチャネル型TFTの活性層612~614はp型不純物領域(b)となっている。本明細書中では、この状態の活性層611~614は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【0102】次に、プラズマCVD法またはスパッタ法により $10 \sim 100 \text{ nm}$ 厚の珪素を含む絶縁膜を形成する。本実施例では、 $30 \text{ nm}$ 厚の窒化珪素シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0103】次に、 $800 \sim 1150^\circ\text{C}$ (好ましくは $900 \sim 1000^\circ\text{C}$ )の温度で15分~8時間(好ましくは30分~2時間)の熱処理工程を、酸化性雰囲気で行う(熱酸化工程)。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で $950^\circ\text{C}$ 80分の熱処理工程を行う。なお、図6(D)の工程で添加されたガロンはこの熱酸化工程の間に活性化される。(図7(A))

【0104】この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層611~614との界面においても酸化

反応が進行する。本実施例の熱酸化工程では、 $60 \text{ nm}$ 厚の活性層のうち $25 \text{ nm}$ が酸化されて活性層611~614の膜厚は $45 \text{ nm}$ となる。また、 $30 \text{ nm}$ 厚の珪素を含む絶縁膜に対して $50 \text{ nm}$ 厚の熱酸化膜が加わるので、最終的なゲート絶縁膜615の膜厚は $110 \text{ nm}$ となる。

【0105】次に、新たにレジストマスク616~619を形成する。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加してn型を呈する不純物領域620~622を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図7(B))

【0106】この不純物領域620~622は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ )の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義する。

【0107】なお、ここではフォスフィン( $PH_3$ )を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜615を介して結晶質シリコン膜にリンを添加する。

【0108】次に、 $600 \sim 1000^\circ\text{C}$ (好ましくは $700 \sim 800^\circ\text{C}$ )の不活性雰囲気中で熱処理を行い、図7(B)の工程で添加されたリンを活性化する。本実施例では $800^\circ\text{C}$ 1時間の熱処理を窒素雰囲気中で行う。(図7(C))

【0109】この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーストアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0110】この工程によりn型不純物領域(c)620~622の境界部、即ち、n型不純物領域(b)の周囲に存在する真性又は実質的に真性な領域(勿論、p型不純物領域(b)も含む)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成することを意味する。

【0111】次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜623と第2導電膜624とでなる積層膜を形成する。(図7(D))

【0112】ここで第1導電膜623、第2導電膜624としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)を用いることができる。

【0113】なお、第1導電膜623は10~50nm(好ましくは20~30nm)とし、第2導電膜624は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜623として、50nm厚の窒化タングステン(WN)膜を、第2導電膜624として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜623の下にシリコン膜を2~20nm程度の厚さで形成しておくことは有効である。

【0114】次に、第1導電膜623と第2導電膜624を一括でエッチングして400nm厚のゲート配線625~628を形成する。この時、駆動回路に形成されるゲート配線626、627はn型不純物領域(b)620~622の一部とゲート絶縁膜615を介して重なるように形成する。この重なる部分が後にLov領域となる。なお、ゲート配線628a、628bは断面では二つに見えるが実際は連続的に繋がった一つのパターンから形成されている。(図7(E))

【0115】次に、レジストマスク629を形成し、p型不純物元素(本実施例ではボロン)を追加して高濃度にボロンを含む不純物領域630、631を形成する。本実施例ではジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法(勿論、イオンインプラネーション法でも良い)により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ )の濃度でボロンを追加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図8(A))

【0116】次に、レジストマスク629を除去し、ゲート配線及びpチャネル型TFTとなる領域を覆う形でレジストマスク632~634を形成する。そして、n型不純物元素(本実施例ではリン)を追加して高濃度にリンを含む不純物領域635~641を形成する。ここでも、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法(勿論、イオンインプラネーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ )とする。(図8(B))

【0117】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域635~641が形成された領域には既に前工程で添加されたリンまたはボロンが

含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域635~641はn型不純物領域(a)と言い換えても構わない。

【0118】次に、レジストマスク632~634を除去し、珪素を含む絶縁膜である保護膜642を形成する。膜厚は25~100nm(好ましくは30~50nm)とすれば良い。本実施例では25nm厚の窒化珪素膜を用いることとする。

【0119】次に、ゲート配線625~628をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を追加する。こうして形成された不純物領域643~646には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$ )の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度より5~10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ )でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図8(C))

【0120】この工程では105nmの膜厚の絶縁膜(キャップ膜642とゲート絶縁膜615との積層膜)を通してリンを追加することになるが、保護膜642もマスクとして機能する。即ち、保護膜642の膜厚に相当する長さのオフセット領域が形成されることになる。

【0121】なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域(b)643~646には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5~10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0122】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーンズニール法、レーザアニール法、ランプアニール法またはそれらを併用して行うことができる。ファーンズニール法で行う場合は、不活性雰囲気中において500~800℃、好ましくは550~600℃で行えば良い。本実施例では600℃、4時間の熱処理を行い、不純物元素を活性化する。(図8(D))

【0123】なお、本実施例では窒化シリコン膜642を覆った状態でゲート配線を覆い、その状態で活性化工程を行っている。本実施例では窒化シリコン膜を覆

しているため、ピンホールの問題を気にせずに高い温度で活性化工程を行うことが可能である。

【0124】次に、活性化工程の後、3〜100%の水素を含む雰囲気中で、300〜450℃で1〜4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0125】活性化工程を終えたら、500nm〜1.5μm厚の第1層間絶縁膜650を形成する。本実施例では第1層間絶縁膜650として1μm厚のアクリルを塗布法により形成する。また、他の第1層間絶縁膜650として、ポリイミド、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等の有機樹脂膜を用いることも可能である。

【0126】その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。この時、スパッタ法によりTi膜を全面に成膜した後、レジストマスクを用いてドライエッチングによりTi膜と有機樹脂膜を貫くコンタクトホールを形成する。上記ドライエッチングと同時に、レジストマスクが除去され、アルミニウムを主成分とする膜を全面に形成し、パターニングを行って、ソース配線651〜654と、ドレイン配線655〜657を形成する。こうして、本発明の実施の形態で示したコンタクト構造を実現する。

【0127】なお、CMOS回路を形成するためにドレイン配線655はpチャネル型TFTとnチャネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200nm、Tiを含むアルミニウム膜500nm、を形成した2層構造の積層膜とする。（図9（A））

【0128】また、この後さらに水素化工程を行っても良い。例えば、3〜100%の水素を含む雰囲気中で、300〜450℃で1〜2時間の熱処理を行うと良く、あるいはプラズマ水素化を用いても同様の効果が得られる。

【0129】その後、有機樹脂からなる第2層間絶縁膜659を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0130】次に、画素回路となる領域において、第2層間絶縁膜659上に遮蔽膜660を形成する。なお、

本明細書中では光と電磁波を連通するという意味で遮蔽膜という文言を用いる。遮蔽膜660はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100〜300nmの厚さに形成する。本実施例では1μmのチタンを含有させたアルミニウム膜を125nmの厚さに形成する。

【0131】なお、第2層間絶縁膜659上に酸化シリコン膜等の絶縁膜を5〜50nm形成しておく、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第2層間絶縁膜659の表面にCF<sub>4</sub>ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0132】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で素子間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第2層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0133】次に、遮蔽膜660の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20〜100nm（好ましくは30〜50nm）の厚さの酸化物661を形成する。本実施例では遮蔽膜660としてアルミニウムを主成分とする膜を用いたため、陽極酸化物661として酸化アルミニウム膜（アルミナ膜）が形成される。

【0134】次に、第3層間絶縁膜659、バッシンション膜658にドレイン配線657に達するコンタクトホールを形成し、画素電極662を形成する。なお、画素電極663は隣接する別の画素の画素電極である。画素電極662、663は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には反射性を有する材料膜を用いられたい。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を110nmの厚さにスパッタ法で形成する。

【0135】また、この時、画素電極662と遮蔽膜660とが陽極酸化物661を介して重なり、保持容量（キャパシタンス・ストレージ）664を形成する。なお、この場合、遮蔽膜660をフローティング状態（電気的に孤立した状態）か固定電位、好ましくは共通電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0136】こうして同一基板上に、駆動回路と画素回路とを有したアクティブマトリクス基板が完成した。なお、図9（B）においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT802、803が形成され、画素回路にはnチャネル型TFTでなる画素T

10

20

30

40

50

FT804が形成される。

【0137】ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9(B)の状態の基板に対し、配向膜を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板には、透明導電膜と、配向膜4とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0138】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素回路と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。

【0139】次に、このアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。なお、図8は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板601上に形成された、画素回路901と、走査（ゲート）信号駆動回路902と、画像（ソース）信号駆動回路903で構成される。画素回路の画素FT804はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査信号駆動回路902と、画像信号駆動回路903はそれぞれゲート配線628とソース配線654で画素回路901に接続されている。また、FPC904が接続された外部入出力端子905から駆動回路の入出力端子までの接続配線906、907が設けられている。

【0140】次に、図10に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図11に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号駆動回路1001、走査信号駆動回路(A)1007、走査信号駆動回路(B)1011、プリチャージ回路1012、画素回路1006を有している。なお、本明細書において、駆動回路には画像信号処理回路1001および走査信号駆動回路1007が含まれる。

【0141】画像信号駆動回路1001は、シフトレジスタ回路1002、レベルシフト回路1003、バッファ回路1004、サンプリング回路1005を備えている。また、走査信号駆動回路(A)1007は、シフトレジスタ回路1008、レベルシフト回路1009、バッファ回路1010を備えている。走査信号駆動回路(B)1011も同様な構成である。

【0142】なお、本実施例の構成は、図6～9に示した工程に従ってTFTを作製することによって容易に実

現することができる。また、本実施例では画素回路と駆動回路の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ回路、オペアンプ回路、γ補正回路、さらにはマイクロプロセッサ回路などの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

【0143】このように本発明は、同一基板上に画素回路と該画素回路を駆動するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、駆動回路および画素回路とを具備した半導体装置を実現しうる。

【0144】また、本実施例の図7(B)までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。以下、本発明者が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成されたTFTの活性層を形成する半導体層の特徴と一致する。

【0145】上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0146】本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0147】なお、本実施例の構成は、実施例1～4のいずれの構成とも自由に組み合わせることが可能である。

【0148】【実施例6】本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOI/ITC社の登録商標)、ELTRAN(キヤノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0149】なお、本実施例の構成は、実施例1～5のいずれの構成とも自由に組み合わせることが可能である。

【0150】【実施例7】本発明はアクティブマトリクス型ELEDディスプレイに適用することも可能である。その例を図12に示す。

【0151】図12はアクティブマトリクス型ELEDディスプレイの回路図である。81は画素回路を表しており、その周辺にはX方向駆動回路82、Y方向駆動回路83が設けられている。また、画素回路81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、有機EL素子87を有し、スイッチング用TFT84にX方向信号線88a（または88b

）、Y方向信号線89a（または89b、89c）が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0152】本実施例のアクティブマトリクス型Eディスプレイでは、X方向駆動回路82、Y方向駆動回路83または電流制御用TFT86に用いられるTFTを図9（B）のpチャネル型TFT301、nチャネル型TFT302または303を組み合わせて形成する。また、スイッチング用TFT84のTFTを図9（B）のnチャネル型TFT804で形成する。

【0153】なお、本実施例のアクティブマトリクス型Eディスプレイに対して、実施例1〜6のいずれの構成を組み合わせても良い。

【0154】【実施例8】本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物（反強誘電性混合液晶）が挙げられる。

【0155】例えば、H. Furue et al.; Characteristic and Driving Scheme of Polymer-Stabilized Monostable FLC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998, 79, 1. Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, SID, 1997, 72, 1. Inui et al.; Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J. Mater. Chem. 6(4), 1996, または米国特許第5,594,569号に開示された材料を用いることが可能である。

【0156】特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しき値反強誘電性混合液晶（Thresholdless Antiferroelectric LCD：TL-AFLCと略記する）にはV字型（またはU字型）の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル導約1μm〜2μm）のものも見出されている。そのため、画素回路用の電源電圧が5〜8V程度で済む場合があり、駆動回路と画素回路を同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることが可能である。

【0157】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現するため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0158】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置

に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。そういった意味で実施例5の図9（B）で示した保持容量は小さい面積で大きな容量を蓄積することができるので好ましい。

【0159】なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0160】また、本実施例の構成は、実施例1〜7のいずれの構成とも自由に組み合わせることが可能である。

【0161】【実施例9】本実施例では、本発明を用いてEL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図13（A）は本発明のEL表示装置の上面図であり、図13（B）はその断面図である。

【0162】図13（A）において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリント基板）4006に至り、外部機器へと接続される。

【0163】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0164】また、図13（B）は図13（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0165】本実施例では、駆動TFT4201には図9のpチャネル型TFTまたはnチャネル型TFTと同じ構造のTFTが用いられ、電流制御用TFT4202には図9のpチャネル型TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量（図示せず）が設けられる。

【0166】駆動TFT4201及び画素TFT4202の上には有機樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0167】そして、面素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は面素電極4302の上の開口部が形成されている。この開口部において、面素電極4302の上にはEL（エレクトロルミネッセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0168】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせる積層構造または単層構造とすれば良い。

【0169】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を密塞または希ガス雰囲気中形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0170】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0171】以上のようにして、面素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0172】カバー材4102としては、ガラス材、金属材料（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムを含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラフィルムで挟んだ構造のシートを用いることもできる。

【0173】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならぬ。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明

物質を用いる。

【0174】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着する物質を設けておくこととEL素子の劣化を抑制できる。

【0175】また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0176】また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は面素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

【0177】また、本実施例では第1シール材4101の露出部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図13（B）の断面構造を有するEL表示装置となる。

【0178】なお、本実施例のEL表示装置は実施例1～7のいずれの構成を組み合わせて作製しても構わない。

【0179】【実施例10】ここで面素部のさらに詳細な断面構造を図14に、上面構造を図15（A）、回路図を図15（B）に示す。図14、図15（A）及び図15（B）では共通の符号を用いるので互いに参照すれば良い。

【0180】図14において、基板4401上に設けられたスイッチング用TFT4402は図9のnチャネル型TFTを用いて形成される。従って、構造の説明はnチャネル型TFTの説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電気的に接続するゲート配線である。

【0181】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0182】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続されている。なお、電流制御用TFT4406は図9のpチャネル型TFTを用いて形成される。従って、構造の説明はpチャネル型T



F Tの説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0183】スイッチング用TFT 4402及び電流制御用TFT 4406の上には第1パッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるE L層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0184】また、4410は透明導電膜からなる画素電極（E L素子の陰極）であり、電流制御用TFT 4406のドレイン配線4417に電気的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0185】画素電極4410の上にはE L層4411が形成される。なお、図14では一面しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したE L層を作り分けている。また、本実施例では蒸着法により低分子系有機E L材料を形成している。具体的には、正孔注入層として20 nm厚の銅フタロシアニン（Cu P c）膜を設け、その上に発光層として70 nm厚のトリス-8-キノリノラトアルミニウム錯体（A l q<sub>3</sub>）膜を設けた積層構造としている。A l q<sub>3</sub>にキノクドン、ベリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0186】但し、以上の例はE L層として用いることのできる有機E L材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてE L層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機E L材料をE L層として用いる例を示したが、高分子系有機E L材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機E L材料や無機材料は公知の材料を用いることができる。

【0187】次に、E L層4411の上には導電膜からなる陰極4412が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMg A g膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いなければならない。

【0188】この陰極4412まで形成された時点でE L素子4413が完成する。なお、ここでいうE L素子4413は、画素電極（陰極）4410、E L層4411及び陰極4412で形成されたコンデンサを指す。

【0189】次に、本実施例における画素の上面構造を図15（A）を用いて説明する。スイッチング用TFT 4402のソース領域はソース配線4415に接続され、ドレインはドレイン配線4405に接続される。また、ドレイン配線4405は電流制御用TFT 4406のゲート電極4407に電気的に接続される。また、電流制御用TFT 4406のソース領域は電流供給線4416に電気的に接続され、ドレインはドレイン配線4417に電気的に接続される。また、ドレイン配線4417は点線で示される画素電極（陰極）4418に電気的に接続される。

【0190】このとき、4419で示される領域には保持容量が形成される。保持容量4419は、電流供給線4416と電気的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一層（図示せず）及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0191】【実施例11】本実施例では、実施例10とは異なる画素構造を有したE L表示装置について説明する。説明には図16を用いる。なお、図14と同一の符号が付してある部分については実施例10の説明を参照すれば良い。

【0192】図16では電流制御用TFT 4501として図9のnチャネル型TFTと同一構造のTFTを用いる。勿論、電流制御用TFT 4501のゲート電極4502はスイッチング用TFT 4402のドレイン配線4405に電気的に接続される。また、電流制御用TFT 4501のドレイン配線4503は画素電極4504に電気的に接続されている。

【0193】本実施例では、導電膜からなる画素電極4504がE L素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いなければならない。

【0194】画素電極4504の上にはE L層4505が形成される。なお、図16では一面しか図示していないが、本実施例ではG（緑）に対応したE L層を蒸着法及び塗布法（好ましくはスピンコーティング法）により形成している。具体的には、電子注入層として20 nm厚のフッ化リチウム（Li F）膜を設け、その上に発光層として70 nm厚のPPV（ポリパラフェニレンビレン）膜を設けた積層構造としている。

【0195】次に、E L層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、

透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0196】この層4506まで形成された時点でE素子4507が完成する。なお、ここでのE素子4507は、画素電極（略称）4504、E層4505及び層4506で形成されたコンデンサを指す。

【0197】E素子に加える電圧が10V以上といった高電圧の場合には、電流制御用TFT4501においてホットキャリア効果による劣化が顕在化してくる。このような場合に、電流制御用TFT4501として本発明の構造のnチャネル型TFTを用いることは有効である。することで図15(A)、(B)に示した保持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合より小さく済むため、ゲート容量で保持容量を代用しうる。

【0198】なお、E素子に加える電圧が10V以下、好ましくは5V以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図16においてLDD領域4509を省略した構造のnチャネル型TFTを用いても良い。

【0199】【実施例12】本実施例では、実施例10もしくは実施例11に示したEL表示装置の画素部に用いることができる画素構造の例を図17(A)～(C)に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はE素子とする。

【0200】図17(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0201】また、図17(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図17(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線4608とゲート配線4603とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0202】また、図17(C)は、図17(B)の構造と同様に電流供給線4608をゲート配線4603と平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。

また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0203】【実施例13】実施例9乃至12のいずれか一のEL表示装置は一つの画素内にいくつのTFTを設けた構造としても良い。例えば、三つ乃至六つまたはそれ以上のTFTを設けても構わない。本発明はEL表示装置の画素構造に限定されずに実施することが可能である。

【0204】【実施例14】本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0205】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18、図19及び図20に示す。

【0206】図18(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の駆動回路に適用することができる。

【0207】図18(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の駆動回路に適用することができる。

【0208】図18(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の駆動回路に適用できる。

【0209】図18(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の駆動回路に適用することができる。

【0210】図18(E)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネッ

トを行うことができる。本発明は表示部2402やその他の駆動回路に適用することができる。

【0211】図18(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明は表示部2502やその他の駆動回路に適用することができる。

【0212】図19(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0213】図19(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0214】なお、図19(C)は、図19(A)及び図19(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図19(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0215】また、図19(D)は、図19(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図19(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0216】ただし、図19に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0217】図20(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明は音声出力部2902、音声入力部2903、表示部2904やその他の駆動回路に適用することができる。

【0218】図20(B)は携帯音響(電子音響)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0219】図20(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0220】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~13のどのような組み合わせからなる構成を用いても実現することができる。

【0221】

【発明の効果】このように、層間絶縁膜に有機材料を用いて、第1の金属膜をドライエッチング工程のマスクとして、用いることによって、従来よりも微小なコンタクトホール(直径が、 $3\mu\text{m}$ 以下、好ましくは、 $2\mu\text{m}$ ~ $0.1\mu\text{m}$ を有する)を形成することが実現できる。

【0222】また、本発明においては、第1層間絶縁膜が有機材料で形成されているので、無機材料を使用した場合と比較して十分に平坦化することができる。さらに、第2、第3層間絶縁膜を有機材料で形成すると、十分に平坦化された領域に画素電極を形成することができるため、確実なランギング処理を行うことができ、液晶配向の乱れを抑えることができる。

【0223】また、第2の金属膜と比較して低抵抗な金属材料を第1の金属膜として用いることによって、配線を低抵抗化することができる。加えて、半導体層(例えばシリコン)と良好なコンタクト界面を形成することが可能な金属材料を第2の金属膜として用いることによって、コンタクト不良を低減することができる。

【0224】また、有機材料とシリコンを主成分とする半導体層との選択比が十分とれるため、微小なコンタクトホールを形成することができ、表示素子のサイズを小さくすることができる。その結果、開口率を大きくすることが実現できる。

【図面の簡単な説明】

【図1】 本発明の構造の一例を示す図(実施例1)。

【図2】 本発明の作製工程の1例を示す図(実施例2)。

【図3】 本発明の作製工程の1例を示す図(実施例2)。

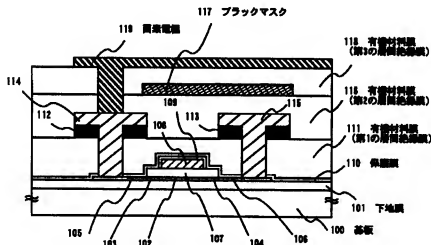
【図4】 本発明の構造の一例を示す図(実施例3)。

【図5】 本発明の構造の一例を示す図(実施例

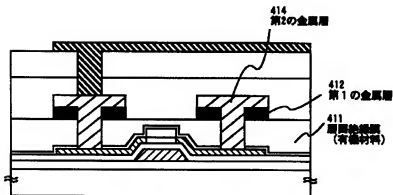
- 4)。  
 【図 6】 本発明の作製工程の一例を示す図（実施例 5）。  
 【図 7】 本発明の作製工程の一例を示す図（実施例 5）。  
 【図 8】 本発明の作製工程の一例を示す図（実施例 5）。  
 【図 9】 本発明の作製工程の一例を示す図（実施例 5）。  
 【図 10】 本発明の構造の一例を示す図（実施例 5）。  
 【図 11】 本発明の構造の一例を示す図（実施例 5）。  
 【図 12】 本発明の構造の一例を示す図（実施例 5）。

- 7)。  
 【図 13】 アクティブマトリクス型 EL 表示装置の断面図および上面図を示す図（実施例 9）。  
 【図 14】 アクティブマトリクス型 EL 表示装置の断面図を示す図（実施例 10）。  
 【図 15】 アクティブマトリクス型 EL 表示装置の上面図を示す図（実施例 10）。  
 【図 16】 アクティブマトリクス型 EL 表示装置の断面図を示す図（実施例 11）。  
 【図 17】 アクティブマトリクス型 EL 表示装置の構造を示す図（実施例 12）。  
 【図 18】 電子機器の一例を示す図（実施例 14）。  
 【図 19】 電子機器の一例を示す図（実施例 14）。  
 【図 20】 電子機器の一例を示す図（実施例 14）。

【図 1】

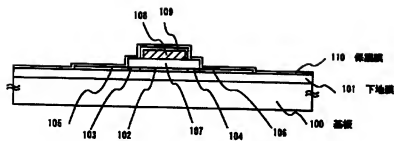


【図 4】

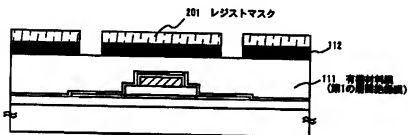


【図2】

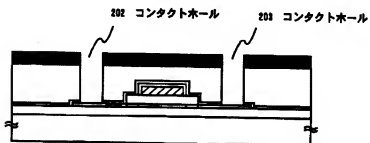
(A)



(B)

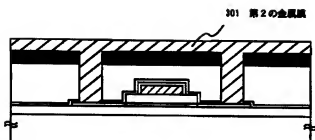


(C)

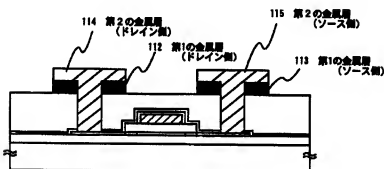


【図3】

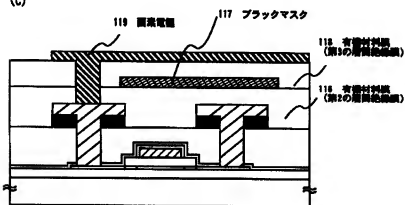
(A)



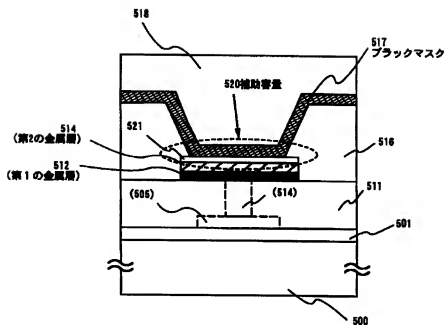
(B)



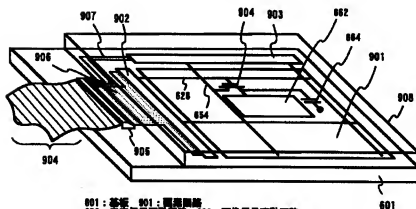
(C)



【図5】

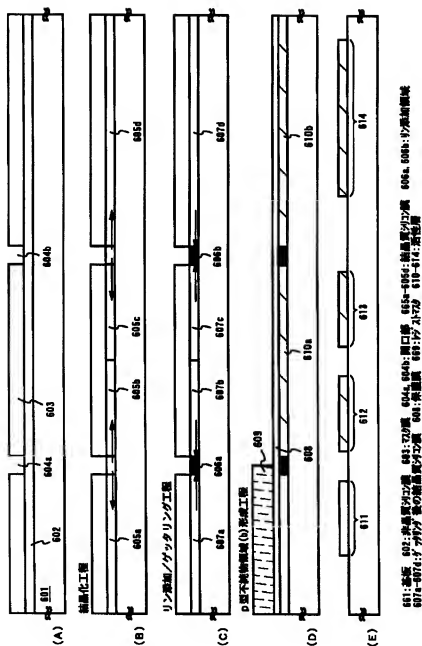


【図10】



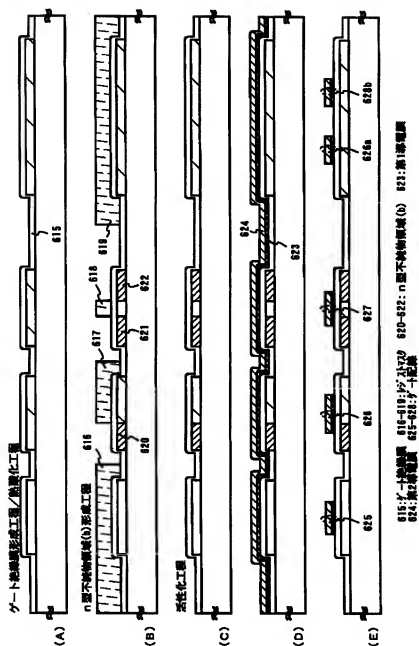
901: 基板 902: 絶縁膜層 903: 導電性層  
 904: 導電性層 905: 溝 906: 導電性層 907: 黒マスク  
 908: 導電性層 909: 導電性層 910: 導電性層  
 911: 導電性層 912: 導電性層

【図 6】

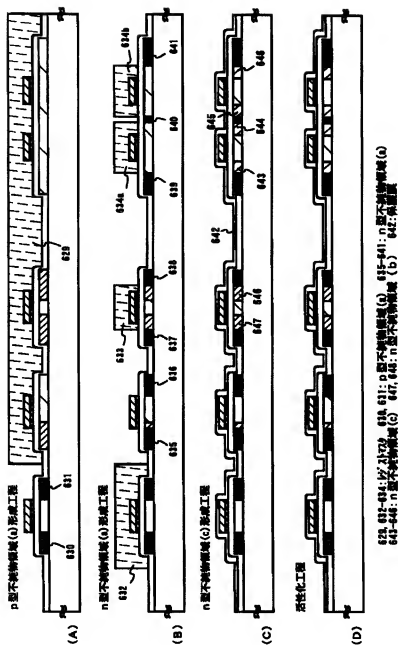




【図 7】

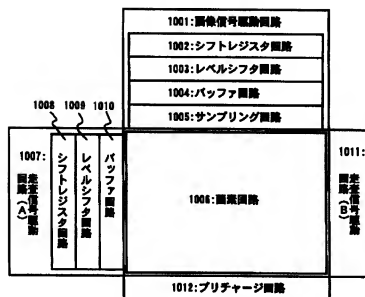


[図8]

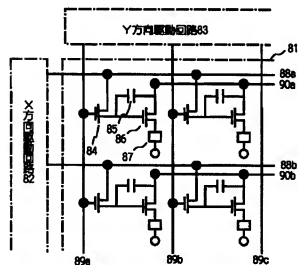


4590: 第11層の地質 651-654: ユーティリティ 659: 第2層の地質  
4600: 道路 441: 道路の地質 442, 443: 道路の地質 444: 道路の地質  
701, 704, 705, 714: 公共の地質 702, 705, 708, 715: 公共  
707, 711, 712: n型不規則地質 (G) 717-720: n型不規則地質 (G) 721: n型不規則地質 (G)

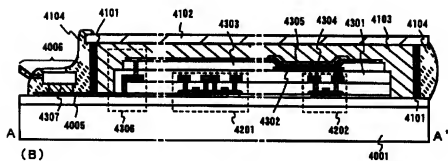
【図11】



【図12】

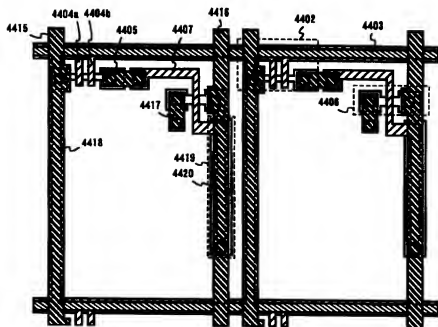


81: 電源回路 82: X方向駆動回路 83: Y方向駆動回路  
 84: 1/2V<sub>DD</sub>用TFT 85: D<sub>1</sub>のTFT 86: 電流制限用TFT 87: 有線EL素子  
 88a, 88b: X方向信号線 89a~89c: Y方向信号線 90a, 90b: 電源線

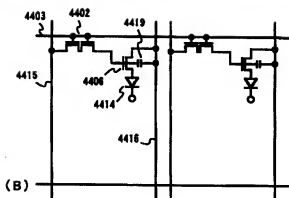




【図15】

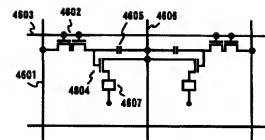


(A)

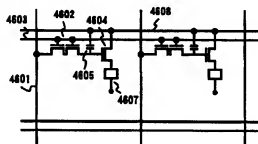


(B)

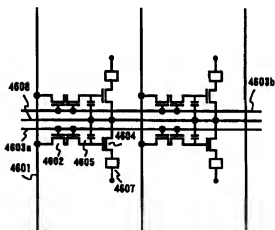
【図 17】



(A)



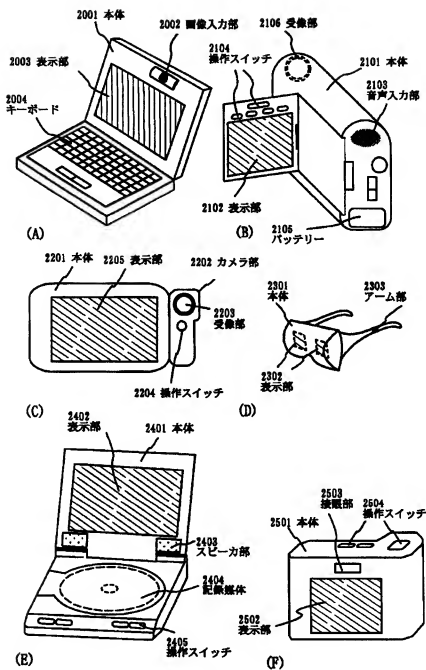
(B)



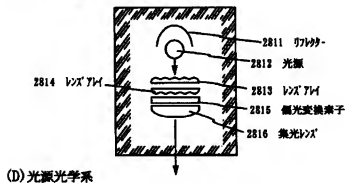
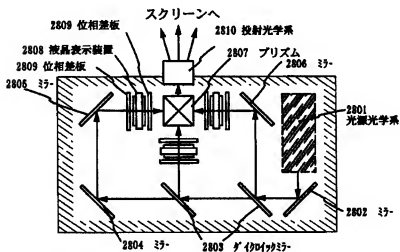
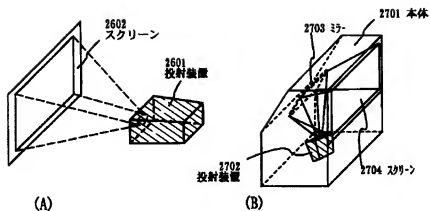
(C)



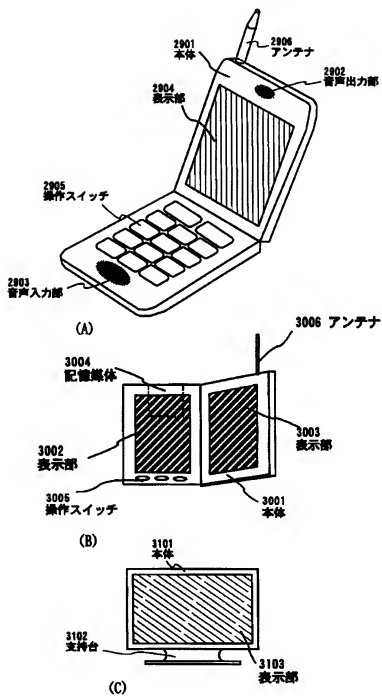
【図18】



【図19】



【図 20】



(34)

特開 2000-349301

フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 21/336

識別記号

F I

H01L 21/90

29/78

特コード' (参考)

S

612C

616U

616K

(72) 発明者 藤本 悦子

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内